

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-301100

(43)Date of publication of application : 13.11.1998

(51)Int.Cl.

G02F 1/1335
 G02F 1/13
 G02F 1/1343
 G02F 1/136
 G09F 9/30
 H01L 29/786

(21)Application number : 09-301251

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 31.10.1997

(72)Inventor : MURADE MASAO

(30)Priority

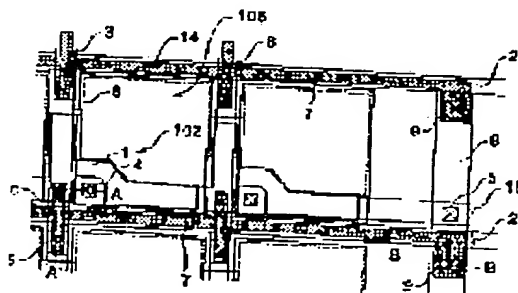
Priority number : 09 44378 Priority date : 27.02.1997 Priority country : JP

(54) LIQUID CRYSTAL DEVICE AND MANUFACTURING METHOD THEREOF, AND PROJECTION TYPE DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress leak current of TFT for switching picture element caused by influence of light reflected from polarizing plate and to stabilize a characteristic of TFT for switching picture element by providing a 1st shielding film on an under layer side of a TFT channel area of TFT for switching a picture element, and connecting the 1st shielding film with a constant potential wiring supplying a constant voltage to a lower voltage side of a scanning line driving circuit.

SOLUTION: A substrate for a liquid crystal device has, at least to a channel area of a thin film transistor, a 1st shielding film 7 which is conductive and superimposed via an interlayer insulating film on an under layer side of the channel area, and the 1st shielding film 7 is impressed with a constant voltage. The 1st shielding film 7 is provided with a channel shielding part superimposed on the channel area, etc., on its under layer side, and a wiring part extended along from the channel shielding part to the scanning line 2 on the under layer side of the scanning line 2 for impressing a constant voltage on this channel shielding part. The 1st shielding film 7 is connected with a constant potential wiring 8 supplying a constant voltage source of a lower potential side of a scanning line driving circuit.



LEGAL STATUS

[Date of request for examination] 15.11.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2000 Japan Patent Office

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-301100

(43) 公開日 平成10年(1998)11月13日

(51) Int.Cl.⁸
G 0 2 F 1/1335 5 0 0
1/13 5 0 5
1/1343
1/136 5 0 0
G 0 9 F 9/30 3 4 9

F I
G 0 2 F 1/1335 5 0 0
1/13 5 0 5
1/1343
1/136 5 0 0
G 0 9 F 9/30 3 4 9 C
審査請求 未請求 請求項の数28 O L (全 33 頁) 最終頁に続く

(21) 出願番号 特願平9-301251

(22) 出願日 平成9年(1997)10月31日

(31) 優先権主張番号 特願平9-44378

(32) 優先日 平9(1997)2月27日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 村出 正夫

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

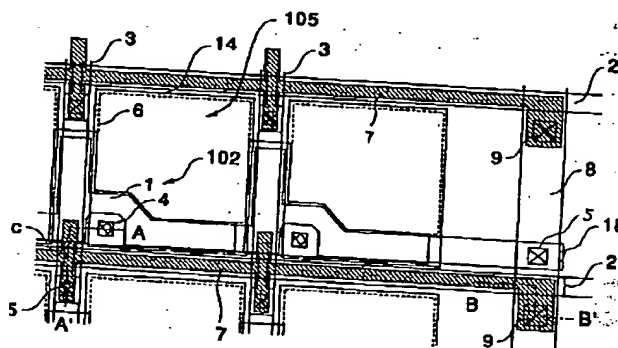
(74) 代理人 弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 液晶装置及びその製造方法、並びに投写型表示装置

(57) 【要約】

【課題】 液晶装置及びそれを用いた投写型表示装置において、偏光板等に反射した光の影響による画素スイッチング用TFTのリーク電流を抑え、画素スイッチング用TFTの特性の安定化を図ること。

【解決手段】 液晶装置100の液晶装置用基板300において、画素スイッチング用TFTの少なくともチャネル領域1cの下部に第1の遮光膜7を設けるとともに、第1の遮光膜7を走査線2に沿って延設し、画素領域の外側で定電位を供給する定電位配線8に接続して、第1の遮光膜7の電位を固定する。



【特許請求の範囲】

【請求項1】 複数のデータ線及び複数の走査線によって画素がマトリクス状に構成された表示領域と、及び該表示領域より外周側で前記データ線及び前記走査線の少なくとも一方に接続された周辺駆動回路と、前記データ線及び走査線に接続された複数の薄膜トランジスタとを具備する液晶装置用基板と、該液晶装置用基板と対向基板との間に液晶を挟持する液晶装置において、前記液晶装置用基板上に形成された前記薄膜トランジスタの少なくともチャネル領域に対して、当該チャネル領域の下層側で層間絶縁膜を介して各々重なる導電性の第1の遮光膜を有し、該第1の遮光膜には定電圧が印加されるように構成されてなることを特徴とする液晶装置。

【請求項2】 請求項1において、前記第1の遮光膜は、前記チャネル領域に重なるチャネル遮光部分と、該チャネル遮光部分に定電圧を印加するために当該チャネル遮光部分から延設された配線部分とを備えていることを特徴とする液晶装置。

【請求項3】 請求項2において、前記第1の遮光膜の配線部分は、前記チャネル遮光部分の各々から前記走査線及び前記データ線のうちの少なくとも一方の信号線に沿って前記表示領域の外側まで各々延設され、当該表示領域の外側で、前記第1の遮光膜とは異なる層に形成された定電位配線に対して少なくとも前記層間絶縁膜のコンタクトホールを経由して接続していることを特徴とする液晶装置。

【請求項4】 請求項2において、前記第1の遮光膜の配線部分は、前記チャネル遮光部分の各々から前記走査線及び前記データ線のうちの双方の信号線に沿って前記表示領域の外側まで各々延設され、当該表示領域の外側で、前記第1の遮光膜とは異なる層に形成された定電位配線に対して少なくとも前記層間絶縁膜のコンタクトホールを経由して接続していることを特徴とする液晶装置。

【請求項5】 請求項3または4において、前記第1の遮光膜の配線部分の各々が、前記表示領域の外側で前記定電位配線に対して前記層間絶縁膜のコンタクトホールを介して接続していることを特徴とするアクティブマトリクス型液晶装置。

【請求項6】 請求項5において、前記第1の遮光膜の配線部分は、片側の端部が前記定電位配線に対して前記層間絶縁膜のコンタクトホールを介して接続していることを特徴とする液晶装置。

【請求項7】 請求項5において、前記第1の遮光膜の配線部分は、両側の端部が前記定電位配線に対して前記層間絶縁膜のコンタクトホールを介して接続していることを特徴とする液晶装置。

【請求項8】 請求項3または4において、前記第1の遮光膜の配線部分は、前記チャネル遮光部分の各々から前記走査線及び前記データ線のうちの少なくとも一方の

信号線に沿って前記表示領域の外側まで各々延設された支線と、当該表示領域の外側で前記支線の各々が接続する幹線とを備え、当該幹線が前記層間絶縁膜のコンタクトホールを介して前記定電位配線に接続していることを特徴とする液晶装置。

【請求項9】 請求項8において、前記支線は、片側の端部が前記幹線に接続されていることを特徴とする液晶装置。

【請求項10】 請求項8において、前記支線は、両側の端部が前記幹線に接続されていることを特徴とする液晶装置。

【請求項11】 請求項2ないし10のいずれかにおいて、前記第1の遮光膜は、前記薄膜トランジスタのドレイン領域に重畳して蓄積容量を形成する容量配線に対して、少なくとも前記層間絶縁膜のコンタクトホールを経由して接続されていることを特徴とする液晶装置。

【請求項12】 請求項2ないし10のいずれかにおいて、前記第1の遮光膜は、前記薄膜トランジスタのドレイン領域に前記層間絶縁膜を介して重畳して蓄積容量が構成されていることを特徴とする液晶装置。

【請求項13】 請求項2ないし8のいずれかにおいて、前記定電位配線は、前記駆動回路に低電位側の電源を供給する給電線に接続されていることを特徴とする液晶装置。

【請求項14】 請求項2ないし8のいずれかにおいて、前記定電位配線は、前記液晶装置用基板から前記対向基板の対向電極に上下導通材を介して対向電極電位を供給する給電線に接続されていることを特徴とするアクティブマトリクス型液晶装置。

【請求項15】 請求項2ないし8のいずれかにおいて、前記定電位配線は、前記周辺駆動回路に接地電位を供給する給電線であることを特徴とする液晶装置。

【請求項16】 請求項1ないし15のいずれかにおいて、前記液晶装置用基板及び前記対向基板のうちの少なくとも一方の基板は、前記表示領域を囲む表示画面見切り用の遮光膜を備えていることを特徴とする液晶装置。

【請求項17】 請求項1ないし16のいずれかにおいて、前記液晶装置用基板は、前記薄膜トランジスタのチャネル領域の上層側で当該チャネル領域を覆う第2の遮光膜を備えていることを特徴とする液晶装置。

【請求項18】 請求項17において、前記第2の遮光膜は、前記データ線であることを特徴とする液晶装置。

【請求項19】 請求項1において、前記周辺駆動回路は、Pチャネル型の駆動回路用の薄膜トランジスタ及びNチャネル型の駆動回路用の薄膜トランジスタを備え、該Pチャネル型及びNチャネル型の駆動回路用の薄膜トランジスタは、前記薄膜トランジスタの製造工程を兼用して形成されることを特徴とする液晶装置。

【請求項20】 請求項19において、前記周辺駆動回路は、前記第1の遮光膜と同時形成された導電膜からな

る配線層を備えていることを特徴とする液晶装置。

【請求項21】 請求項19において、前記第1の遮光膜と同時形成された導電膜からなる配線層は、前記駆動回路用の薄膜トランジスタのゲート電極に対して少なくとも前記層間絶縁膜のコンタクトホールを経由して接続し、かつ、当該駆動回路用の薄膜トランジスタのゲート電極の面積以下の面積をもって当該駆動回路用の薄膜トランジスタのチャネル領域に対して、当該チャネル領域の下層側で前記層間絶縁膜を介して重なっていることを特徴とする液晶装置。

【請求項22】 請求項19において、前記第1の遮光膜と同時形成された導電膜からなる配線層は、前記駆動回路用の薄膜トランジスタのソース電極に対して少なくとも前記層間絶縁膜のコンタクトホールを経由して接続し、かつ、当該駆動回路用の薄膜トランジスタのチャネル領域に対して、当該チャネル領域の下層側で前記層間絶縁膜を介して重なっていることを特徴とする液晶装置。

【請求項23】 請求項1ないし22のいずれかにおいて、前記第1の遮光膜は、タングステン、チタン、クロム、タンタル、モリブデン等の金属膜あるいは、金属シリサイド等の金属合金膜のいずれかにより構成されていることを特徴とする液晶装置。

【請求項24】 請求項1ないし23のいずれかにおいて、前記対向基板には、前記画素に対応して第3の遮光膜が形成されていることを特徴とする液晶装置。

【請求項25】 請求項24において、前記第3の遮光膜は、少なくとも前記第1の遮光膜を覆うように形成されていることを特徴とする液晶装置。

【請求項26】 請求項1ないし25のいずれかにおいて、前記対向基板には、前記画素各々に対応してマイクロレンズがマトリクス状に形成されていることを特徴とする液晶装置。

【請求項27】 請求項1ないし26のいずれかに記載の液晶装置を備える投写型表示装置であって、光源からの光を前記液晶装置で変調し、該変調した光を投写光学手段によって拡大投写することを特徴とする投写型表示装置。

【請求項28】 請求項1ないし26のいずれかに記載の液晶装置の製造方法であって、前記第1の遮光膜とそれに定電圧を供給する配線とを接続するためのコンタクトホールの形成を、前記データ線と前記薄膜トランジスタのソース領域とを接続するためのコンタクトホールの形成とを同時に行うことを特徴とする液晶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は液晶装置、投写型表示装置、及び液晶装置の製造方法に関するものである。

さらに詳しくは、薄膜トランジスタ（以下、TFTと称

す。）を画素スイッチング用素子として用いた液晶装置における遮光構造に関するものである。

【0002】

【従来の技術】 従来、アクティブマトリクス駆動方式の液晶装置としては、ガラス基板上にマトリクス状に画素電極を形成するとともに、各画素電極に対応してアモルファスシリコン膜やポリシリコン膜を半導体層とした画素スイッチング用TFTを形成し、各画素電極にTFTを介して電圧を印加して、液晶を駆動する構成が実用化されている。画素スイッチング用にポリシリコンTFTを用いた液晶装置は、画面表示部を駆動、制御するためのシフトレジスタ回路等の周辺駆動回路を構成する駆動回路用のTFTを画素スイッチング用TFTとほぼ同一工程で形成することが可能なため、高集積化に適しているとして注目されている。

【0003】 アクティブマトリクス駆動方式の液晶装置にあつては、表示の高精細化を図ることを目的に対向基板にブラックマトリクス（あるいはブラックストライプ）と呼ばれるクロム膜あるいはアルミニウム膜等で形成した遮光膜が形成されている。また、この遮光膜を画素スイッチング用TFTと重なるように形成し、対向基板側から入射される光が画素スイッチング用TFTのチャネル領域及びその接合領域に光が届いて画素スイッチング用TFTにリーク電流が流れないように構成をとっている。

【0004】

【発明が解決しようとする課題】 しかしながら、光によるリーク電流は、対向基板側からの入射光のみならず、液晶装置用基板の裏面側に配置された偏光板等で反射した光が画素スイッチング用TFTのチャネル領域に照射されることが原因で流れることがある。

【0005】 このような反射光（戻り光）によるリーク電流を防止する方法として、特公平3-52611号には、画素スイッチング用TFTのチャネル領域の下層側にも遮光膜を設ける発明が提案されている。しかし、それに開示の発明では当該遮光膜の電位が固定されていないため、当該TFTの半導体層と遮光膜との間の寄生容量によってTFT特性が変動したり劣化するという問題点がある。

【0006】 一方、周辺駆動回路は画素数の増加や液晶装置を内蔵する電子機器の小型化に伴って、ますます高集積化が望まれている。特に、周辺駆動回路を同一基板内に内蔵した液晶装置では、回路の高集積化を図る技術としてアルミニウム等の金属膜を絶縁膜を介して多層に形成して配線する多層配線技術が用いられているが、多層配線構成にするほど製造プロセスの工程数が増加し、製造コストが高くなるという問題点がある。

【0007】 また、アクティブマトリクス駆動方式の液晶装置の動作周波数の高速化に伴い、TFT特性の向上を図るためにSOI技術やレーザーアニールによる再結

晶化技術等を採用して半導体膜の高品質化を図る試みが成されているが、このような方法によるTFTの特性向上は、特性のばらつきが大きく、かつ、製造工程が複雑になるといった問題点がある。

【0008】そこで、本発明の目的は、液晶装置及びそれを用いた投写型表示装置において、偏光板等で反射した光の影響による画素スイッチング用のTFTのリーク電流を抑制し、画素スイッチング用TFTの特性の安定化を図ることができる技術を提供することにある。

【0009】本発明の他の目的は、液晶装置において、製造プロセスの工程数を増加させることなく表示領域の周辺に設けられる駆動回路の高集積化を図ることができる技術を提供することにある。

【0010】更に、本発明の他の目的は、液晶装置において、製造プロセスの工程数を増加させることなくTFT特性の向上を図ることができる技術を提供することにある。

【0011】

【課題を解決するための手段】上記課題を解決するため、本発明は、複数のデータ線及び複数の走査線によって画素がマトリクス状に構成された表示領域と、及び該表示領域より外周側で前記データ線及び前記走査線の少なくとも一方に接続された周辺駆動回路と、前記データ線及び走査線に接続された複数の薄膜トランジスタとを具備する液晶装置用基板と、該液晶装置用基板と対向基板との間に液晶を挟持する液晶装置において、前記液晶装置用基板は、少なくとも前記薄膜トランジスタのチャネル領域に対して、当該チャネル領域の下層側で層間絶縁膜を介して各々重なる導電性の第1の遮光膜を有し、該第1の遮光膜には定電圧が印加されるように構成されてなることを特徴とする。

【0012】本発明に係る液晶装置では、データ線及び走査線に接続された薄膜トランジスタ、即ち画素スイッチング用TFTのチャネル領域に重なるように第1の遮光膜が形成されているので、液晶装置用基板の裏面側からの反射光があっても、この光は画素スイッチング用TFTのチャネル領域に届かない。それ故、画素スイッチング用TFTには、液晶装置用基板の裏面側からの反射光に起因するリーク電流が発生しない。しかも、第1の遮光膜の電位は、走査線駆動回路の低電位側の定電圧電源などに固定されているので、TFTの半導体層などと第1の遮光膜との間に寄生する容量の影響を受けてTFT特性が変動したり劣化するということがない。

【0013】本発明において、第1の遮光膜に定電圧を印加するには、前記第1の遮光膜に、前記チャネル領域に重なるチャネル遮光部分と、該チャネル遮光部分に定電圧を印加するために当該チャネル遮光部分から延設された配線部分とを構成すればよい。

【0014】この場合に、前記第1の遮光膜の配線部分は、たとえば、前記チャネル遮光部分の各々から前記走

査線及び前記データ線のうちの少なくとも一方の信号線に沿って前記表示領域の外側まで各々延設され、当該表示領域の外側で、前記第1の遮光膜とは異なる層間に形成された定電位配線に対して少なくとも前記層間絶縁膜のコンタクトホールを経由して接続される。

【0015】また、前記第1の遮光膜の配線部分は、前記チャネル遮光部分の各々から前記走査線及び前記データ線のうちの双方の信号線に沿って前記表示領域の外側まで各々延設され、当該表示領域の外側で、前記第1の遮光膜とは異なる層間に形成された定電位配線に対して少なくとも前記層間絶縁膜のコンタクトホールを経由して接続される場合もある。

【0016】本発明において、前記第1の遮光膜の配線部分の各々は、前記表示領域の外側で前記定電位配線に対して前記層間絶縁膜のコンタクトホールを介して接続している。

【0017】前記第1の遮光膜の配線部分は、片側の端部が前記定電位配線に対して前記層間絶縁膜のコンタクトホールを介して接続さえしておけば、第1の遮光膜に定電圧を印加できる。

【0018】これに対して、前記第1の遮光膜の配線部分の両側の端部が前記定電位配線に対して前記層間絶縁膜のコンタクトホールを介して接続していると、第1の遮光膜の配線部分の途中位置に断線があっても、第1の遮光膜の配線部分には定電位配線から定電位が供給される。それ故、第1の遮光膜の配線部分には冗長配線が構成されていることになるので、信頼性が高い。

【0019】本発明において、前記第1の遮光膜の配線部分は、前記チャネル遮光部分の各々から前記走査線及び前記データ線のうちの少なくとも一方の信号線に沿って前記表示領域の外側まで各々延設された支線と、当該表示領域の外側で前記支線の各々が接続する幹線とを備え、当該幹線が前記層間絶縁膜のコンタクトホールを介して前記定電位配線に接続していることが好ましい。このように構成すると、第1の遮光膜と定電位配線との接続を各支線毎に行なう必要がなく、幹線と定電位配線との間で接続を行えばよい。このため、幹線を配線の通っていないような任意の位置まで引き回し、そこで定電位配線とを接続すればよい。また、第1の遮光膜と定電位配線との接続部分において、コンタクトホールを形成する際にウェットエッチングを行なうと、エッチング液の滲み込みによって層間絶縁膜などにクラックが発生しやすいが、本発明では、幹線を任意の位置に引き回し、前記のクラックが発生するおそれがある場所を安全な位置に限定できるという利点がある。さらに、第1の遮光膜と定電位配線との接続を幹線と定電位配線との間で行なうことにより、前記のクラックが発生するおそれがある場所を最小限に止めているので、信頼性が高いという利点もあるこの場合にも、前記支線の片側の端部を前記幹線に接続しておけば、第1の遮光膜を定電圧を印加で

きる。

【0020】これに対して、前記支線の両側の端部が前記幹線に接続していると、この支線の途中位置に断線があっても、第1の遮光膜の配線部分には幹線から定電位が供給される。それ故、第1の遮光膜の配線部分には冗長配線が構成されるので、信頼性が高い。

【0021】本発明において、前記第1の遮光膜は、前記画素スイッチング用TFTのドレイン領域に重畳して蓄積容量を形成する容量配線に対して少なくとも前記層間絶縁膜のコンタクトホールを経由して接続していることが好ましい。また、前記第1の遮光膜は、前記画素スイッチング用TFTのドレイン領域に前記層間絶縁膜を介して重畳して蓄積容量を構成していることが好ましい。このように構成すると、各容量配線を走査線駆動回路に引き込んで定電位を印加する必要がないので、走査線駆動回路に大規模回路を導入する際に容易にレイアウトできる。

【0022】本発明において、前記定電位配線は、前記周辺駆動回路に低電位側の電源を供給する給電線、前記液晶装置用基板から前記対向基板の対向電極に上下導通材を介して対向電極電位を供給する給電線、または前記周辺駆動回路に接地電位を供給する給電線などに接続されている。

【0023】本発明において、前記液晶装置用基板及び前記対向基板のうちの少なくとも一方の基板は、前記表示領域を囲む表示画面見切り用の遮光膜を備えていることが好ましい。

【0024】本発明において、前記液晶装置用基板は、前記画素スイッチング用TFTの前記チャンネル領域の上層側で当該チャンネル領域を覆う第2の遮光膜を備えていることが好ましい。この場合の第2の遮光膜としては、たとえばデータ線を利用できる。また、前記チャンネル領域のみならず、層間絶縁膜を介して少なくとも該チャンネル領域下に形成される第1の遮光膜を覆うように第2の遮光膜を形成することにより、入射された光が第1の遮光膜表面で反射され、画素スイッチング用TFTのチャンネル領域を照射することがないようにすると良い。このような構成にすれば、光によるTFTのリーク電流を低減することができる。

【0025】本発明において、前記周辺駆動回路は、Pチャンネル型の駆動回路用TFT及びNチャンネル型の駆動回路用TFTを備え、該Pチャンネル型及びNチャンネル型の駆動回路用のTFTは、前記画素スイッチング用TFTの製造工程を兼用して形成されることが好ましい。このように構成した場合には、多層配線の層数に限りがあるので、前記周辺駆動回路では、前記第1の遮光膜と同時形成された導電膜も配線層として有効に利用することが好ましい。

【0026】本発明において、前記第1の遮光膜と同時形成された導電膜からなる配線層は、前記駆動回路用T

F Tのゲート電極に対して少なくとも前記層間絶縁膜のコンタクトホールを経由して接続し、かつ、当該駆動回路用TFTのゲート電極の面積以下の面積をもって当該駆動回路用TFTのチャンネル領域に対して、当該チャンネル領域の下層側で前記層間絶縁膜を介して重なっていることが好ましい。

【0027】本発明において、前記第1の遮光膜と同時形成された導電膜からなる配線層は、前記駆動回路用TFTのソース電極に対して、少なくとも前記層間絶縁膜のコンタクトホールを経由して接続し、かつ、当該駆動回路用TFTのチャンネル領域に対して、当該チャンネル領域の下層側で重なっていることが好ましい。

【0028】本発明において、前記第1の遮光膜は、たとえばタングステン、チタン、クロム、タンタル、モリブデン等の金属膜あるいはこれらの金属を含む金属シリサイド等の金属合金膜からなる不透明で導電性を有する膜などから構成することが好ましい。このように遮光性が高く、且つ導電性のある金属膜や金属合金膜を使用することにより、液晶装置用基板裏面からの反射光に対して遮光層として機能する。

【0029】本発明において、前記対向基板には、前記画素に対応して第3の遮光膜が形成されていることが好ましい。この場合に、前記第3の遮光膜は、少なくとも該第1の遮光膜を覆うように形成されていることが好ましい。

【0030】本発明において、前記対向基板には、前記画素に対応してマイクロレンズがマトリクス状に形成されていることが好ましい。このように構成すると、マイクロレンズによって液晶装置用基板上の所定領域に光を集めることができるので、対向基板からブラックマトリクスを省略しても、品位の高い表示を行なうことができる。また、本発明に係わる液晶装置は、マイクロレンズにより集光した光が液晶装置用基板裏面で反射しても画素スイッチング用TFTのチャンネル領域に照射されないため、TFTの光に起因するリーク電流は流れない。

【0031】本発明に係る液晶装置は、TFTの光に起因するリーク電流を抑えてあるので、強い光の照射を受ける投写型表示装置のライトバルブとして用いることが好ましい。このような投写型表示装置では、本発明に係る液晶装置によって光源からの光を変調し、該変調した光を投写光学手段によって拡大投写する。

【0032】

【発明の実施の形態】添付図面を参照して、本発明の実施の形態について説明する。

【0033】（液晶装置の基本的な構成）図1及び図2はそれぞれ、本発明を適用した液晶装置の平面図、及びそのH-H'線における断面図である。

【0034】これらの図に示すように、液晶装置100は、後述する画素がマトリクス状に形成された矩形の表示領域61（画面表示領域）、この表示領域61の外側

領域に形成されたデータ線駆動回路103（周辺駆動回路）、及び表示領域61の両側に形成された一対の走査線駆動回路104（周辺駆動回路）を備える液晶装置用基板300と、この液晶装置用基板300に対向配置された対向基板31とから概略構成されている。液晶装置用基板300には、後述する各画素105毎にITO膜（Indium Tin Oxide）からなる画素電極14が形成されている。対向基板31には、略全面に対向電極32が形成され、かつ、各画素105に対応してブラックマトリクス6が形成されている。対向基板31は、ガラスやネオセラム、あるいは石英といった透明基板上にITO膜等の透明導電膜からなる対向電極32が形成されている。さらに、対向基板31には、液晶装置100をモジュールとして組立の際に光が漏れないように表示領域61の外側縁に沿って周辺見切り用の遮光膜60（表示画面見切り用の遮光膜）が形成されている。

【0035】対向基板31と液晶装置用基板300とは、表示領域61の外側で周辺見切り用の遮光膜60の外周縁に沿って形成されたギャップ材含有のシール材200によって所定のセルギャップを隔てて貼り合わされ、このシール材200の内側領域に液晶108が封入されている。シール材200は、表示領域61とデータ線駆動回路103との間では後述するデータ線の上で封止を行い、表示領域61と走査線駆動回路104との間では後述する走査線の上で封止を行う。シール材200は部分的に途切れており、この途切れ部分によって液晶注入口241が構成されている。従って、液晶装置100では、対向基板31と液晶装置用基板300とを貼り合わせた後、シール材200の内側領域を減圧状態にして、液晶注入口241から液晶108を減圧注入し、液晶108を封入した後は、液晶注入口241は封止剤242で塞がれる。

【0036】シール材200としてはエポキシ樹脂や各種の紫外線硬化樹脂などが用いられ、それにはガラスファイバーやガラスビーズなどからなるギャップ材が配合されている。液晶108としては周知のTN（Twisted Nematic）型液晶等が用いられる。液晶108として、高分子中に微小粒として分散させた高分子分散型液晶を用いれば、配向膜も偏光板も不要になるため、光利用効率が高くなり、明るいアクティブマトリクス型の液晶装置100を提供できる。さらに、画素電極14については、ITO膜に代えてアルミニウム膜等の非透過で反射率の高い金属膜を用いれば、液晶装置100を反射型の液晶装置として構成できる。この反射型の液晶装置100の場合には、電圧無印加状態で液晶分子がほぼ垂直配向されたSH（Super Homeotropic）型液晶などを用いることができる。さらに、その他の液晶を用いてもよいことは言うまでもない。

【0037】本形態において、対向基板31は液晶装置用基板300よりも小さいので、液晶装置用基板300は、周辺駆動回路が対向基板31の外周縁よりはみ出た状態で貼り合わされる。従って、走査線駆動回路104及びデータ線駆動回路103は対向基板31の外側に位置しており、対向基板31とは対向していないので、ポリミド等の配向膜や液晶が直流成分によって劣化するのを防ぐことができる。シール材200は、対向基板31からみれば基板外周縁に沿って形成されているが、液晶装置用基板300からみれば内側に形成されている。液晶装置用基板300には、対向基板31より外側の部分に多数の実装端子107が形成され、ワイヤボンディング、あるいはACF（Anisotropic Conductive Film）圧着等の方法によりフレキシブルプリント配線基板が接続される。

【0038】（液晶装置用基板及び表示領域の基本的な構成）図3は、本形態の液晶装置100に用いられる駆動回路内蔵型の液晶装置用基板300のブロック図である。なお、図3には、液晶装置用基板300の基本的な構成要素が分かりやすいように、後述する液晶装置用基板300側の第1の遮光膜についての図示を省略してある。

【0039】図3からわかるように、液晶装置用基板300の表示領域61では、基板10の上に複数の走査線2と複数のデータ線3とによって複数の画素105がマトリクス状に構成されている。各画素105の詳細なブロック図と構成図を図4（A）と（B）に示されている。図4（A）、（B）に示されるように、画素105には、走査線2及びデータ線3に接続する画素スイッチング用TFT102が形成されている。このTFT102に接続される画素電極と対向基板31の対向電極32との間に液晶108を挟んで液晶セルCEが構成されている。液晶セルCEに対しては、走査線2と同時形成した容量配線18を利用して蓄積容量CAPが構成されている。すなわち、本形態では、画素スイッチング用のTFT102を構成する半導体層1のうち、ドレイン領域を拡張し、この拡張領域を蓄積容量CAPの第1電極とし、走査線2と同時形成した容量配線18を第2電極とし、第1及び第2電極との間に形成されたゲート絶縁膜を誘電膜として蓄積容量CAPが構成されている。

【0040】ここで、容量配線18を形成した領域は、横方向の電界等の影響を受けて液晶のディスクリネーションが発生して画面表示品位の劣化を引き起こす領域であり、この領域には、対向基板31のブラックマトリクス6（図2参照。）を重ねて遮光していた。しかるに、本形態では、このようなデッドスペースとなるべき領域に容量配線18を配置することにより、画素105において光が透過可能な面積を無駄にすることなく、フリッカーやクロストーク等の発生を防止している。それ故、本形態の液晶装置100では、高品位な表示を行なうこ

とができる。

【0041】また、本形態では、第1の遮光膜7に定電位を供給するための、例えば走査線駆動回路104の低電位側の定電圧電源VSSYを供給するデータ線3と同一のアルミニウム膜等で形成された定電位配線8を利用して、走査線2と同一のポリシリコン膜等で形成された容量配線18をコンタクトホール5において電気的に接続しても良い。コンタクトホール5は、データ線3と高濃度ソース領域1aを接続するためのコンタクトホールと同一工程で形成できる。このような構成にすれば、第1の遮光膜7と容量配線18へ定電位を供給する定電位配線8を共用できるため、それぞれに専用配線を設ける必要がなくなり、少ない面積で有効にレイアウトできる。また、周辺駆動回路の電源や対向基板に対向電極電位を供給するための定電位配線を代用するため、専用の実装端子107及び引き回し配線28が必要なくなる。従って、実装端子の削減やスペースの有効利用が図れるため、特に液晶装置が小型化するほど有利になる。

【0042】なお、図示を省略するが、蓄積容量CAPについては、画素スイッチング用のTFT102を構成する半導体膜のドレイン領域を延設し、それを前段の走査線2とゲート絶縁膜を介して重ねることによって構成することも可能である。

【0043】液晶装置用基板300では、データ線駆動回路103の側の辺部分には定電源VDDX、VSSX、VDDY、VSSY、変調画像信号VID1～VID6、各種信号（走査線シフトレジスタ回路231のスタート信号DY、クロック信号CLY、その反転クロック信号CLYB、データ線シフトレジスタ回路221のスタート信号DX、クロック信号CLX、及びその反転クロック信号CLXB）などが入力される多数の実装端子107が構成されている。実装端子107は、アルミニウム膜等の金属膜、金属シリサイド膜、あるいはITO膜等の導電膜から構成されている。これらの実装端子107からは、走査線駆動回路104及びデータ線駆動回路103を駆動するための複数の信号配線28がシール材200より基板外周側を通してそれぞれ引き回されている。これらの信号配線28は、データ線3と同時形成されたアルミニウム膜等の低抵抗な金属膜や金属シリサイド膜からなり、静電気対策等で抵抗を付加する場合は、第2層間絶縁膜13にコンタクトホールを開孔して、走査線と同一工程で同一材料で形成されたポリシリコン膜とコンタクトホールで電気的に接続するようにしても良い。なお、実装端子107から外部入力される対向電極電位LCCOMを液晶装置用基板300から対向基板31に供給するために、液晶装置用基板300には上下導通用端子106が形成されている。この上下導通用端子106に所定の径を有する上下導通材を介在させて液晶装置用基板300と対向基板31とを貼り合わせれば、液晶装置用基板300側から対向基板31の対向

電極32に対して対向電極電位LCCOMを印加することができる。

【0044】液晶装置用基板300において、データ線駆動回路103の側には、データ線シフトレジスタ回路221、データ線バッファ回路222、データ線シフトレジスタ回路221からデータ線バッファ回路222を介して出力された信号に基づいて動作するTFTからなるアナログスイッチを備えるデータサンプリング回路101、及び6相に展開された各変調画像信号VID1～VID6に対応する6本の画像信号線225が構成されている。

【0045】データ線駆動回路103のデータ線シフトレジスタ回路221は、たとえば、共通のスタート信号DXが各系列毎に入力される複数系列で構成してもよい。このように、データ線シフトレジスタ回路221を多系列で構成すれば、クロック信号CLX、及びその反転クロック信号CLXBの転送周波数を低くできるので、回路負荷を低減することができる。データ線シフトレジスタ回路221には、実装端子107を介して外部からスタート信号DXが供給されるとともに、各段のフリップフロップ（図示せず。）には、クロック信号CLX、及びその反転クロック信号CLXBが供給される。従って、データ線シフトレジスタ回路221では、スタート信号DXが入力された以降、クロック信号CLX、及びその反転クロック信号CLXBの立ち上がりエッジに同期して、シフト信号（データサンプリング回路101のアナログスイッチを駆動するためのサンプリング信号X1、X2、X3・・・）が生成され、出力されていく。そして、データ線シフトレジスタ回路221からデータ線バッファ回路222を介してデータサンプリング回路101に位相がずれたサンプリング信号が出力されると、このサンプリング信号に基づいて、各アナログスイッチが順次動作する。その結果、画像信号線225を介して供給される変調画像信号VID1～VID6は、所定のタイミングで所定のデータ線3に取り込まれ、走査線2に介して供給される走査信号により選択された各画素105に保持される。なお、本例では、データ線3をある一定のタイミングで1本毎に順次駆動していく方法を説明したが、3本や6本や12本といった多数のデータ線3を1つのサンプリング信号で同時に選択する一方、外部から入力する変調画像信号のタイミングを変化させることで同様の画像表示が得られる。また、データ線3に供給される変調画像信号の相展開数は6相のみならず、データサンプリング回路101を構成するアナログスイッチの書き込み特性が良ければ、5相以下でも良いし、変調画像信号の周波数が高ければ、7相以上に増やしても良い。この際、少なくとも変調画像信号の相展開数だけ画像信号線225が必要なことは言うまでもない。さらに、データ線駆動回路103を表示領域61を挟んで反対側にも構成することにより、2つのデータ

線駆動回路103でデータ線3をそれぞれ1本おきに歯状に駆動しても良い。このような構成をとれば、シフトレジスタの駆動周波数を半分にすることができ、回路負荷を低減できる。

【0046】走査線駆動回路104でも、同様に、スタート信号DY、クロック信号CLY、及びその反転クロック信号CLYBに基づいてシフト信号（走査信号）を生成し、出力していく走査線シフトレジスタ231、及び走査線バッファ回路232が構成されている。本形態では、表示領域61を挟んで両側に走査線駆動回路104を構成し、走査線2を両側から駆動するので、走査線2の駆動上の負荷を軽減することができる。なお、走査線2の時定数を無視できるような場合は、走査線駆動回路104を表示領域61の片側のみに構成してもよい。

【0047】液晶装置用基板300では、表示領域61に対してデータ線駆動回路103が形成されている側とは反対側で周辺見切り用の遮光膜60（図3で右上がりの斜線を付した領域）に重なる領域には、データ線3に対する補助回路109も形成されている。この補助回路109は、TFTを利用したスイッチング回路171と、このスイッチング回路171を介してデータ線3に対して電気的に接続する例えば2本の信号配線172と、スイッチング回路171を制御する信号配線173とを有する。この補助回路109では、信号配線173に供給される制御信号NRGに基づいてスイッチング回路171を動作させれば、データ線3と信号配線172との接続状態を制御できる。従って、画像信号の1水平掃線期間の間に制御信号NRGにより補助回路109を駆動し、データ線3に一定レベルの電位を信号NRS1、NRS2として予め印加するプリチャージ機能により、実際の変調画像信号VID1～VID6をデータサンプリング回路101を介してデータ線3に書き込む負荷を軽減することができる。なお、補助回路109としては、点欠陥や線欠陥を検出するための検査用回路を構成したり、上述のプリチャージ機能と検査回路を兼用させることも可能である。

【0048】図5は図4（B）のA-A'断面図である。

【0049】画素スイッチング用TFT102は、図4（B）及び図5からわかるように、走査線2（ゲート電極）と、走査線2からの電界によりチャンネルが形成されるチャンネル領域1cと、走査線2とチャンネル領域1cとの間に形成されたゲート絶縁膜12と、データ線3（ソース電極）に第2層間絶縁膜13のコンタクトホール5を介して電気的に接続される高濃度ソース領域1aと画素電極14に第2層間絶縁膜13及び第3層間絶縁膜15に形成されたコンタクトホール4を介して電気的に接続された高濃度ドレイン領域1bとを備えている。さらに、画素スイッチング用TFT102は、チャンネル領域1cと高濃度の不純物イオンを打ち込んだソース領域1

aとの接合部、及びチャンネル領域1cと高濃度の不純物イオンを打ち込んだドレイン領域1bとの接合部の各々に低濃度の不純物イオンを打ち込んだ低濃度ソース・ドレイン領域1d、1eが形成されたLDD（Lightly Doped Drain）構造で構成されている。

【0050】本形態において、TFT102はデータ線3の下方を利用して構成され、走査線2のうち少なくともゲート電極、すなわち画素スイッチング用TFT102のチャンネル領域1c及び低濃度ソース・ドレイン領域1d、1eはデータ線3に覆われた状態にある。これにより、対向基板31側からの入射光が画素スイッチング用TFT102のチャンネル領域1c及び低濃度ソース・ドレイン領域1d、1eに照射されることがないため、光によるTFTのリーク電流を低減できる。以下に述べる実施の形態や改良例の基本的な構成は、上述の構成と同様である。

【0051】〔実施の形態1〕図6は、本形態の液晶装置に用いた液晶装置用基板において、表示領域の最端部に形成された2つの画素の周辺を拡大して示す平面図である。図7は、本形態の液晶装置用基板に形成された第1の遮光膜の配線部分（配線）、及び該配線と定電位配線との接続構造を示す説明図である。図8（A）、

（B）はそれぞれ、図6において第1の遮光膜の配線と定電位配線との接続部分をB-B'線に沿って切断した断面図、及び遮光膜の配線と定電位配線との接続部分の拡大平面図である。

【0052】図5に示すように、本形態の液晶装置100の液晶装置用基板300では、画素スイッチング用TFT102の下層側には第1層間絶縁膜11が形成され、この層間絶縁膜11と基板10との層間を利用して、以下に説明する遮光構造が構成されている。

【0053】本形態において、第1層間絶縁膜11と基板10との層間には、画素スイッチング用TFT102のチャンネル領域1c、低濃度ソース・ドレイン領域1d、1e、及び低濃度ソース・ドレイン領域1d、1eと高濃度ソース・ドレイン領域1a、1bとの接合部に少なくとも重なるように、タングステン、チタン、クロム、タンタル、モリブデン等の金属膜あるいはこれらの金属を含む金属シリサイド等の金属合金膜等からなる不透明で導電性を有する遮光膜7が形成されている。本形態では、画素スイッチング用TFT102の高濃度ドレイン領域1bの下層側には第1の遮光膜7が形成されていない箇所があるため、この第1の遮光膜7の有無によって、TFT102の形成領域に段差が生じる。このような段差はTFT102の特性を不安定なものにするおそれがある。そこで、本形態では、段差の位置を高濃度ドレイン領域1bと低濃度ドレイン領域1eとの接合部から1ミクロン以上、高濃度ドレイン領域1bの側にずらすことにより、段差がTFT102の特性に及ぼす影

響を最小限に止めてある。

【0054】図6からわかるように、第1の遮光膜7は、チャネル領域1cなどにその下層側で重なるチャネル遮光部分と、このチャネル遮光部分に定電圧を印加するために、走査線2の下層側でチャネル遮光部分から走査線2に沿って延設された配線部分(配線)とを備えている。本形態では、製造プロセスのフォトリソグラフィ工程におけるマスクアライメント時に、マスクアライメントずれにより走査線2と第1の遮光膜7の配線との間で形成位置がずれても、入射光(液晶108を透過してきた光)が第1の遮光膜7の配線によって遮られたり、遮光膜7の表面に直接光が照射されないように、第1の遮光膜7の配線の幅は走査線2の幅よりもやや狭い寸法に設定してある。なお、図6には、対向基板31に形成したブラックマトリクス6と各画素105との位置関係を示してあり、点線で示すブラックマトリクス6の内側領域で表示が行なわれる。

【0055】第1の遮光膜7の配線は、図6及び図7に示すように、各々、各走査線2に沿って表示領域61の外側まで引き出され、周辺見切り用の遮光膜60の下層側まで延設されている。この周辺見切り用の遮光膜60の下層側には表示領域61の辺に沿うように、走査線駆動回路104に低電位側の定電圧電源VSSYを供給する定電位配線8が配置されており、この定電位配線8に対して第1の遮光膜7の配線の片側の端部が接続されている。従って、第1の遮光膜7は、走査線駆動回路104の低電位側の定電圧電源VSSYを供給する定電位配線8に接続されているため、第1の遮光膜はこの定電位配線8の電位に固定された状態にあり、フローティング状態にない。

【0056】第1の遮光膜7の配線部分と定電位配線8との接続を行なうにあたって、本形態では、図8(A)に示すように、第1の遮光膜7の配線は第1層間絶縁膜11と基板10との層間にある。また、定電位配線8はデータ線3と同時形成された導電膜であるため、第2層間絶縁膜13と第3層間絶縁膜15との層間に配置されている。そこで、本形態では、図6、図7、図8

(A)、(B)に示すように、第1の遮光膜7の配線の端部は、第1層間絶縁膜11及び第2層間絶縁膜13に形成されたコンタクトホール9を介して定電位配線8に接続されている。

【0057】このような接続構造は、第1の遮光膜7の配線と定電位配線8とを接続するためのコンタクトホール9の形成と、画素スイッチング用TFT102のソース領域にソース電極(データ線3)を接続するためのコンタクトホール5(図5参照)の形成とを同時に行なった場合に相当し、コンタクトホール9は一度のエッチング工程で開孔される。但し、コンタクトホール5の開孔とコンタクトホール9の開孔とを同時に行うには、画素スイッチング用TFT102の高濃度ソース領域1a

のコンタクトホール5部分のポリシリコン膜がエッチングされないように、第2層間絶縁膜13に対して第1層間絶縁膜11が十分に薄いことが好ましい。

【0058】このように、本形態の液晶装置100では、少なくとも画素スイッチング用TFT102のチャネル領域1c、低濃度ソース・ドレイン領域1d、1e、及び低濃度ソース・ドレイン領域1d、1eと高濃度ソース・ドレイン領域1a、1bとの接合部に対して、その下層側で第1層間絶縁膜11を介して重なる第1の遮光膜7(チャネル遮光部分)が形成されているので、液晶装置用基板300の裏面側からの反射光があっても、この光は画素スイッチング用TFT102のチャネル領域1cなどに届かない。それ故、本形態の液晶装置100では、TFT102には、液晶装置用基板300の裏面側からの反射光に起因するリーク電流が発生しない。しかも、第1の遮光膜7は、走査線駆動回路104の低電位側の定電圧電源VSSYの電位に固定されているので、TFT102の半導体層1と第1の遮光膜7との間に寄生する容量の影響を受けてTFT特性が変動したり劣化するということがない。

【0059】なお、第1の遮光膜7の表面には反射防止処理を施しておき、入射光(液晶108を透過してきた光)が第1の遮光膜7の表面で反射し画素スイッチング用TFT102に向けて照射されてしまうことを防止することが好ましい。

【0060】また、本形態では、図4(B)を参照して説明したように、画素スイッチング用TFT102はデータ線3の下方部分を利用して構成され、チャネル領域1c、低濃度ソース・ドレイン領域1d、1e、及び低濃度ソース・ドレイン領域1d、1eと高濃度ソース・ドレイン領域1a、1bとの接合部には少なくともデータ線3が被さった状態にある。従って、データ線3は、画素スイッチング用TFT102に対する第2の遮光膜として機能し、チャネル領域1c、低濃度ソース・ドレイン領域1d、1e、及び低濃度ソース・ドレイン領域1d、1eと高濃度ソース・ドレイン領域1a、1bとの接合部は、少なくとも第1の遮光膜7とデータ線3

(第2の遮光膜)とによって上下からサンドイッチされた構造になっている。さらに、図2を参照して説明したブラックマトリクス6は、データ線3(第2の遮光膜)に重なるように形成され、チャネル領域1c、低濃度ソース・ドレイン領域1d、1e、及び低濃度ソース・ドレイン領域1d、1eと高濃度ソース・ドレイン領域1a、1bとの接合部とそれらの下方に配置された第1の遮光膜7に被さった状態にある。従って、ブラックマトリクス6は、画素スイッチング用TFT102に対する第3の遮光膜として機能し、第2の遮光膜としてのデータ線3に対する冗長的な機能を発揮する。それ故、本形態の液晶装置用基板300において、TFT102には、対向基板31の側からの入射光に起因するリーク電

流も発生しない。

【0061】なお、本形態では、画素スイッチング用TFT102をLDD構造の場合を例に説明したが、低濃度ソース・ドレイン領域1d、1eに相当する領域に不純物イオンが導入されていないオフセット構造に本発明を適用してもよい。このようなLDD構造あるいはオフセット構造のTFTでは、耐圧が向上し、かつ、オフ時におけるリーク電流を低減することができるという利点がある。また、ゲート電極（走査線2の一部）をマスクにして高濃度不純物イオンを打ち込んでソース・ドレイン領域を形成したセルフアライン構造のTFTに本発明を適用してもよいことは勿論である。

【0062】以下に述べる第1の遮光膜と定電位配線との接続部分の変形例は、第1実施の形態と同様な構成を有し、これらの変形例においては第1の遮光膜と定電位配線との接続部分について説明をし、その他の構成は省略する。

【0063】（第1の遮光膜と定電位配線との接続部分の変形例1）図9（A）、（B）に示すように、第1層間絶縁膜11と基板10との層間にある第1の遮光膜7の配線と、第2層間絶縁膜13と第3層間絶縁膜15との層間にある定電位配線8との接続には、第1層間絶縁膜11及び第2層間絶縁膜13のそれぞれに孔開けしたコンタクトホール17、9を用いてもよい。このような接続構造を採用する場合には、第1層間絶縁膜11にコンタクトホール17を形成する工程と、第2層間絶縁膜13にコンタクトホール9を形成する工程とを別々に行なうことになる。従って、第1層間絶縁膜11がゲート絶縁膜12に対して数千オングストローム単位で厚い場合でも、画素スイッチング用TFT102の高濃度ソース領域1aに対してコンタクトホール5（図5参照。）を形成する際に同時に形成するのはあくまで略同じ深さのコンタクトホール9、あるいはコンタクトホール17であるので、この開孔時にTFT102の高濃度ソース領域1aがエッチングされてしまうということがない。

【0064】（第1の遮光膜と定電位配線との接続部分の変形例2）図10（A）、（B）に示すように、第1層間絶縁膜11と基板10との層間にある第1の遮光膜7の配線部分と、第2層間絶縁膜13と第3層間絶縁膜15との層間にある定電位配線8との接続は、第1層間絶縁膜11に形成したコンタクトホール17、このコンタクトホール17を介して第1の遮光膜7の配線に接続する中継電極16、及びこの中継電極16に対応する位置に形成された第2層間絶縁膜13のコンタクトホール9を利用してもよい。この場合に、中継電極16は走査線2や容量配線18と同時に形成されることになる。

【0065】（第1の遮光膜と定電位配線との接続部分の変形例3）図11（A）、（B）に示すように、第1層間絶縁膜11と基板10との層間にある第1の遮光膜7の配線と、第2層間絶縁膜13と第3層間絶縁膜15

との層間にある定電位配線8との接続は、第1層間絶縁膜11に形成したコンタクトホール17、このコンタクトホール17を介して第1の遮光膜7の配線部分に接続する広めの中継電極16、及びこの中継電極16に対応する領域のうち、コンタクトホール17とずれた位置で第2層間絶縁膜13に形成されたコンタクトホール9を利用してもよい。この場合にも、中継電極16は走査線2や容量配線18と同時に形成されることになる。

【0066】〔実施の形態1の改良例1〕図7に示す形態では、定電位配線8に対して第1の遮光膜7の配線の片側の端部が接続している構成であったが、図12に示すように、第1の遮光膜7の配線の両端部を各走査線2に沿って表示領域61の外側まで引き出すとともに、これらの両側の端部の各々を定電位配線8に接続してもよい。この場合にも、第1の遮光膜7と定電位配線8とは異なる層間に形成されているので、図8、図9、図10、または図11に示すコンタクトホール9などを用いた接続構造によって、第1の遮光膜7の配線と定電位配線8とを接続する。その他の構成は、図6を参照して説明したとおりであるため、説明を省略する。

【0067】本形態でも、画素スイッチング用TFT102のチャネル領域1cなどの下層層は第1の遮光膜7のチャネル遮光部分で覆われているので、液晶装置用基板300の裏面側からの反射光があっても、この光は画素スイッチング用TFT102のチャネル領域1cなどに届かない。それ故、本形態の液晶装置100では、TFT102には、液晶装置用基板300の裏面側からの反射光に起因するリーク電流が発生しない。しかも、第1の遮光膜7は、走査線駆動回路104の低電位側の定電圧電源VSSYを供給する定電位配線8に接続されているため、第1の遮光膜7はこの定電位配線8の電位に固定されている。従って、TFT102の半導体層1と第1の遮光膜7との間に寄生する容量の影響を受けてTFT特性が変動したり劣化するということがない。

【0068】さらに、本形態では、第1の遮光膜7の配線は両側の端部の各々が定電位配線8に接続しているので、配線の途中位置に断線があっても、第1の遮光膜7の全体に定電位が供給される。それ故、第1の遮光膜7には配線に対する冗長配線が構成されていることになるので、信頼性が高い。

【0069】〔実施の形態1の改良例2〕図12に示す形態では、2本の定電位配線8のいずれにおいても、その一方端からのみ定電位が印加されている構成であったが、図13に示すように、2本の定電位配線8のいずれにおいても、その両端から定電位が印加されるように構成すると、更に好ましい。このように構成すると、第1の遮光膜7に定電位を印加する定電位配線8に対しても冗長配線を構成したことになる。その他の構成は、実施の形態1、及びその改良例1と同様なので、それらの説明を省略する。

【0070】〔実施の形態1の改良例3〕本例では、基本的な構成が実施の形態1、及びその改良例1、2と同様であるので、共通する部分については説明を省略する。本例では、図14に示すように、第1の遮光膜7の配線部分は走査線2及びデータ線3の双方に沿って格子状に形成されている。従って、第1の遮光膜7は更に低抵抗化され、且つ冗長性が高まる。また、第1の遮光膜7は対向基板31のブラックマトリクス6（図2参照。）と重なっている。このため、第1の遮光膜7は対向基板31のブラックマトリクス6に対する冗長的な機能を発揮するとともに、対向基板31からブラックマトリクス6を省略することを可能にしている。

【0071】このように構成した場合も、第1の遮光膜7の配線部分のうち、走査線2に沿って延設されている部分の両側の端部を表示領域61の外側まで延長し、周辺見切り用の遮光膜60と重なる領域で、図8、図9、図10、または図11に示すコンタクトホール9などを用いた接続構造によって、第1の遮光膜7の配線部分と定電位配線8とを接続すればよい。

【0072】また、図7、図12、図13、図14に示す実施の形態1において、コンタクトホール9などを用いた接続構造（図8、図9、図10、または図11に示す。）によって定電位配線8と接続される第1の遮光膜7の配線部分は、各走査線2下方に各々独立して形成されている。これらの第1の遮光膜7の配線部分を延設して、周辺見切り用の遮光膜60と重なる領域下で全ての第1の遮光膜7から延設された配線部分を該第1の遮光膜7と同一膜で同一工程で形成される金属膜あるいはこれらの金属を含む金属シリサイド等の金属合金膜からなる導電性の膜で電氣的に接続するようにすれば、配線が断線したときに冗長的な機能を発揮するとともに、第1の遮光膜7を低抵抗化できるので有利である。

【0073】〔実施の形態2〕図15は、本形態の液晶装置に用いた液晶装置用基板において、表示領域の最端部に形成された2つの画素の周辺を拡大して示す平面図である。図16は、本形態の液晶装置用基板に形成された第1の遮光膜の配線部分、及び該配線部分と定電位配線との接続構造を示す説明図である。本形態の液晶装置用基板300の基本的な構成は、図1ないし5を参照して説明したとおりであり、ここでは液晶装置用基板300に構成した遮光構造、及びこの遮光構造を構成する遮光膜と定電位配線との接続構造を中心に説明する。また、本形態の液晶装置の液晶装置用基板は、基本的な構成が実施の形態1に係る液晶装置の液晶装置用基板と同様なので、共通する機能を有する部分には同一の符号を付してそれらの詳細な説明を省略する。

【0074】本形態でも、基本的な構成は、図5を参照して説明したように、第1層間絶縁膜11と基板10との層間には、画素スイッチング用TFT102のチャンネル領域1c、低濃度ソース・ドレイン領域1d、1e、

及び低濃度ソース・ドレイン領域1d、1eと高濃度ソース・ドレイン領域1a、1bとの接合部に少なくとも重なるように、タングステン、チタン、クロム、タンタル、モリブデン等の金属膜あるいはこれらの金属を含む金属シリサイド等の金属合金膜等からなる不透明で導電性を有する遮光膜7が形成されている。

【0075】この第1の遮光膜7は、図15及び図16に示すように、チャンネル領域1cなどにその下層側で重なるチャンネル遮光部分と、このチャンネル遮光部分に定電圧を印加するために、走査線2の下層側でチャンネル遮光部分から走査線2に沿って延設された配線部分とを備えている。

【0076】本形態において、第1の遮光膜7の配線部分は、各走査線2に沿って表示領域61から周辺見切り用の遮光膜60よりさらに外側に延びる支線と、これらの支線の各片側の端部同士を結ぶ1本の幹線とから構成されている。この幹線は、表示領域61と走査線駆動回路104との間に位置する周辺見切り用の遮光膜60と重なる位置にある。ここで、第1の遮光膜7の幹線（配線部分）の一方の端部は、走査線駆動回路104に低電位側の定電圧電源VSSYを供給する定電位配線8に重なっており、この重なり部分において、第1の遮光膜7の配線部分（幹線）と定電位配線8とが接続している。従って、第1の遮光膜7は走査線駆動回路104の低電位側の定電圧電源VSSYを供給する定電位配線8に接続されているため、第1の遮光膜7はこの定電位配線8の電位に固定された状態にあり、フローティング状態にない。

【0077】なお、図5からわかるように、第1の遮光膜7の配線（幹線）も、第1層間絶縁膜11と基板10との層間にあり、定電位配線8は第2層間絶縁膜13と第3層間絶縁膜15との層間にあるので、第1の遮光膜7の配線（幹線）と定電位配線8とは、図8、図9、図10、または図11に示すコンタクトホール9などを用いた接続構造によって接続する。その他の構成は実施の形態1と概ね同様であるので、説明を省略する。

【0078】このように構成した液晶装置100では、実施の形態1と同様、画素スイッチング用TFT102のチャンネル領域1cなどに重なるように第1の遮光膜7が形成されているので、液晶装置用基板300の裏面側からの反射光があっても、この光は少なくとも画素スイッチング用TFT102のチャンネル領域1cなどに届かない。それ故、画素スイッチング用TFT102には、液晶装置用基板300の裏面側からの反射光に起因するリーク電流が発生しない。また、第1の遮光膜7は、走査線駆動回路104の低電位側の定電圧電源VSSYを供給する定電位配線8に接続されているため、第1の遮光膜7はこの定電位配線8の電位に固定されている。従って、TFT102の半導体層1と第1の遮光膜7との間に寄生する容量の影響を受けてTFT特性が変動した

り劣化するということがないなど、実施の形態1と同様な効果を奏する。

【0079】さらに、本形態では、第1の遮光膜7の配線は、各走査線2に沿って延びる支線と、これらの各支線の端部で接続される幹線とを有し、第1の遮光膜7の配線は、この幹線を介して定電位配線8に接続されている。従って、第1の遮光膜7と定電位配線8との接続を各支線毎に行なう必要がなく、幹線と定電位配線8との間で行なえばよい。このため、幹線を配線の通っていないような任意の位置に引き回し、そこで第1の遮光膜7と定電位配線8とを接続することができる。また、第1の遮光膜7と定電位配線8との接続を行うためのコンタクトホール9を形成する際にウェットエッチングを行なうと、エッチング液の滲み込みによって層間絶縁膜などにクラックが発生しやすいが、本形態では、幹線を任意の位置に引き回し、前記のクラックが発生するおそれがある場所を安全な位置に限定できるという利点がある。さらに、第1の遮光膜7と定電位配線8との接続を幹線と定電位配線8との間で行なうことにより、前記のクラックが発生するおそれがある場所を1か所に止めているので、信頼性が高いという利点もある。

【0080】なお、本形態は、第1の遮光膜7と定電位配線8との接続を行うためのコンタクトホール9を形成する際にドライエッチングを行う構成に適用してもよい。

【0081】〔実施の形態2の改良例1〕図16に示す形態では、第1の遮光膜7の配線は、支線の片側の端部が幹線に接続している構成であったが、図17に示すように、支線の両側の端部を各走査線2に沿って表示領域61の外側まで引き出すとともに、これらの両側の端部を幹線に接続してもよい。この場合にも、第1の遮光膜7と定電位配線8とは異なる層に形成されているので、図8、図9、図10、または図11に示すコンタクトホール9などを用いた接続構造によって、第1の遮光膜7の配線の幹線と定電位配線8とは2箇所接続される。その他の構成は、図15を参照して説明したとおりであるため、説明を省略する。

【0082】このように構成した場合にも、少なくとも画素スイッチング用TFT102のチャネル領域1cの下層側は第1の遮光膜7で覆われているので、液晶装置用基板300の裏面側からの反射光があっても、この光は少なくとも画素スイッチング用TFT102のチャネル領域1cなどに届かない。それ故、本形態の液晶装置100では、TFT102には、液晶装置用基板300の裏面側からの反射光に起因するリーク電流が発生しない。しかも、第1の遮光膜7は、走査線駆動回路104の低電位側の定電圧電源VSSYを供給する定電位配線8に接続されているので、第1の遮光膜7はこの定電位配線8の電位に固定されている。従って、TFT102の半導体層1と第1の遮光膜7との間に寄生する容量の

影響を受けてTFT特性が変動したり劣化するということがない。

【0083】また、本形態では、2本の幹線だけが定電位配線8と接続し、第1の遮光膜7と定電位配線8との接続を各支線毎に行なう必要がない。このため、走査線駆動回路104に隣接する位置など、配線の通っていないような任意の位置に幹線を引き回し、そこで第1の遮光膜7と定電位配線8とを2カ所で接続すればよいなど、実施の形態2と同様な効果を奏する。

【0084】さらに、第1の遮光膜7の配線において、各支線は両側の端部の各々が2本の幹線にそれぞれ接続しているので、各支線はその途中位置で断線があっても、幹線から定電位が供給される。それ故、第1の遮光膜7の配線部分には、各支線に対する冗長配線が構成されていることになるので、信頼性が高い。

【0085】〔実施の形態2の改良例2〕図17に示す形態では、2本の幹線のいずれにおいても、その一方端にのみ定電位配線8が接続されている構成であったが、図18に示すように、2本の幹線のいずれにおいても、その両側の端部に定電位配線8が接続されるように構成すると、更に好ましい。このように構成すると、第1の遮光膜7において各支線に定電位を印加する幹線に対しても冗長配線を構成したことになる。その他の構成は、実施の形態2、及びその改良例2と同様なので、それらの説明を省略する。

【0086】〔実施の形態2の改良例3〕本例では、基本的な構成が実施の形態2、及びその改良例1、2と同様であるので、共通する部分については説明を省略する。本例では、図19に示すように、第1の遮光膜7の配線部分は、支線が走査線2及びデータ線3の双方に沿って格子状に形成されている。従って、第1の遮光膜7は更に低抵抗化され、且つ冗長性が高まる。また、第1の遮光膜7では対向基板31のブラックマトリクス6（図2及び図15参照。）と重なっている。このため、第1の遮光膜7は対向基板31のブラックマトリクス6に対する冗長的な機能を発揮するとともに、対向基板31からブラックマトリクス6を省略することを可能にしている。

【0087】このように構成した場合も、第1の遮光膜7の配線部分の支線うち、走査線2に沿って延設されている部分の両側の端部を表示領域61の外側まで延長し、周辺見切り用の遮光膜60と重なる領域で支線の両側の端部同士を各幹線で接続すればよい。また、実施の形態2において、定電位配線を周辺見切り用の遮光膜60まで配線し、該周辺見切り用の遮光膜60のコーナー領域において、第1の遮光膜7と接続しても良いことは言うまでもない。更に、実施の形態1及び2において、定電位線8に定電位信号（例えばVSSY）を供給するための外部ICと電気的に接続される実装端子は1個でも良いし、2個以上設けて液晶装置用基板内でお互いに

短絡するようにして、配線抵抗を下げたり、冗長構造にしても良い。

【0088】〔実施の形態3〕図20は、本形態の液晶装置に用いた液晶装置用基板において、表示領域の最端部に形成された2つの画素の周辺を拡大して示す平面図である。図21は、図20のJ-J'線における断面図である。本形態の液晶装置用基板300の基本的な構成は、図1ないし図5を参照して説明したとおりであり、ここでは液晶装置用基板300の遮光構造を構成する遮光膜と容量配線18との接続構造を中心に説明する。また、本形態の液晶装置の液晶装置用基板は、基本的な構成が実施の形態1、2に係る液晶装置の液晶装置用基板と同様なので、共通する機能を有する部分には同一の符号を付してそれらの詳細な説明を省略する。

【0089】本形態でも、図20に示すように、第1の遮光膜7は、チャネル領域1cなどに重なるチャネル遮光部分と、このチャネル遮光部分に定電圧を印加するためにチャネル遮光部分から走査線2に沿って延設された配線とから構成されている。第1の遮光膜7の配線部分は、各々、各走査線2に沿って表示領域61から周辺見切り用の遮光膜60に重なる位置まで延びる支線と、これらの各支線の端部同士が接続する幹線とから構成されている。この第1の遮光膜7の幹線は、走査線駆動回路104の低電位側の定電圧電源VSSYを供給する定電位配線8に重なっており、これらの重なり部分において、第1の遮光膜7の配線部分（幹線）と定電位配線8とは、図8、図9、図10、または図11に示すコンタクトホール9などを介して接続している。

【0090】また、各画素105には走査線2に並列に容量配線18が形成され、かつ、これらの走査線2及び容量配線18に重なるように第1の遮光膜7が形成されている。そこで、本形態では、容量配線18を走査線駆動回路104まで延設せず、図21に示すように、容量配線18を第1層間絶縁膜11のコンタクトホール12fを介して第1の遮光膜7の幹線に接続してある。

【0091】このように構成した場合でも、第1の遮光膜7には定電位配線8を介して走査線駆動回路104の低電位側の定電圧電源VSSYが供給されていることから、容量配線18にも第1の遮光膜7の幹線を介して定電圧電源VSSYが供給されることになる。それ故、走査線駆動回路104において容量配線18毎に定電位を供給する必要がないので、その分、走査線駆動回路104において配線密度やコンタクトホールの数が低下する。それ故、走査線駆動回路104には大規模な回路を導入できるなどの利点がある。また、容量配線に外部から定電位を供給するための実装端子及び専用配線を設ける必要がないという利点もある。

【0092】なお、図21には、第1の遮光膜7の幹線と定電位配線8とを接続するにあたって、図8（A）を参照して説明したように、第1層間絶縁膜11及び第2

層間絶縁膜13に形成したコンタクトホール9を利用した形態を示してある。但し、第1の遮光膜7の幹線と定電位配線8との接続にあたっては、図9、図10、図11を参照して説明した接続構造を用いてもよい。

【0093】〔実施の形態4〕図22は、本形態の液晶装置に用いた液晶装置用基板において、表示領域の最端部に形成された2つの画素の周辺を拡大して示す平面図である。図23は、図22のK-K'線における断面図である。本形態の液晶装置用基板300の基本的な構成は、図1ないし図5を参照して説明したとおりであり、ここでは液晶装置用基板300の遮光構造を構成する遮光膜を容量配線として用いるための構成を中心に説明する。また、本形態の液晶装置の液晶装置用基板は、基本的な構成が実施の形態2の改良例3に係る液晶装置の液晶装置用基板と同様なので、共通する機能を有する部分には同一の符号を付してそれらの詳細な説明を省略する。

【0094】本形態でも、図22に示すように、第1の遮光膜7は、チャネル領域1cなどに重なるチャネル遮光部分と、このチャネル遮光部分に定電圧を印加するためにチャネル遮光部分から走査線2及びデータ線3に沿って格子状に形成された配線部分とから構成されている。第1の遮光膜7の配線部分は、各走査線2に沿って表示領域61から周辺見切り用の遮光膜60に重なる領域まで延びる支線と、これらの各支線の端部が接続する幹線とから構成されている。この第1の遮光膜7の幹線は、対向電極電位LCCOMなどの定電位を供給する定電位配線8に重なっており、これらの重なり部分において、第1の遮光膜7の配線部分（幹線）と定電位配線8とは、図8、図9、図10、または図11に示すコンタクトホール9などを介して接続している。

【0095】ここで、第1の遮光膜7は、図4（A）、（B）を参照して説明した容量配線18と略重なるように構成されているため、本形態では、図4（A）、（B）を参照して説明した容量配線18を形成せず、その代わりに、図23に示すように、第1の遮光膜7が第1層間絶縁膜11を介してTFT102の高濃度のドレイン領域1bに重なっているのを利用して蓄積容量CAPを構成する。すなわち、第1の遮光膜7には定電位配線8を介して走査線駆動回路104の低電位側の定電圧電源VSSYが供給されていることから、第1の遮光膜7は、TFT102のドレイン領域（高濃度領域1b）との間に第1層間絶縁膜11を誘電体膜とする蓄積容量CAPを構成することになる。

【0096】〔液晶装置用基板300の製造方法の例1〕液晶装置100の製造方法のうち、液晶装置用基板300の製造工程を、図24ないし図27を参照して説明する。これらの図は、本形態の液晶装置用基板の製造方法を示す工程断面図であり、いずれの図においても、その左側部分には図4（B）のA-A'線に相当する断

面（画素TFT部の断面）、右側部分には図6のB-B'線に相当する位置における断面（第1の遮光膜7と定電位配線8との接続部分の断面）を示してある。なお、ここでは、第1の遮光膜7と定電位配線8との接続部分を、図9に示すように構成する例を説明する。

【0097】まず、図24（A）に示すように、ガラス基板、たとえば無アリカリガラスや石英などからなる透明な絶縁基板10の表面全体にスパッタ法等によりタングステン、チタン、クロム、タンタル、モリブデン等の金属膜あるいはこれらの金属を含む金属シリサイド等の金属合金膜等からなる不透明で導電性を有する遮光膜70を約500オングストローム～約3000オングストローム、好ましくは約1000オングストローム～約2000オングストロームの厚さに形成した後、フォトリソグラフィ技術を用いて、図24（B）に示すようにパターンニングし、第1の遮光膜7を形成する。この第1の遮光膜7は、少なくとも後に形成される画素スイッチング用のTFT102のチャネル領域1c、低濃度ソース・ドレイン領域1d、1e、及び低濃度ソース・ドレイン領域1d、1eと高濃度ソース・ドレイン領域1a、1bとの接合部を絶縁基板10の裏面から見て覆うように形成する（図5参照）。このように形成した第1の遮光膜7のうち、画素スイッチング用TFT102のチャネル領域に対応して形成された部分がチャネル遮光部分であり、定電位配線8と接続するように形成された部分が配線部分である。

【0098】次に、図24（C）に示すように、第1の遮光膜7の表面に、約500オングストローム～約15000オングストローム、好ましくは約8000オングストロームの第1層間絶縁膜11を形成する。この第1層間絶縁膜11は、第1の遮光膜7と後に形成される半導体層1とを絶縁するものであり、例えば常圧CVD法や減圧CVD法あるいはTEOSガス等を用いて酸化シリコン膜や窒化シリコン膜等の絶縁膜として形成される。なお、第1層間絶縁膜11を絶縁基板10の全面に成膜することにより、下地膜としての効果が得られる。すなわち、絶縁基板10表面の研磨時における荒れや、不十分な洗浄による汚れ等から画素スイッチング用TFT102の特性劣化を防止することができる。

【0099】次に、図24（D）に示すように、第1層間絶縁膜11の表面全体に、厚さが約500オングストローム～約2000オングストローム、好ましくは約1000オングストロームのポリシリコン膜1aを形成する。方法としては、基板10を約450℃～約550℃、好ましくは500℃程度に加熱しながら、モノシランガスあるいはジシランガスを約400cc/min～約600cc/minの流量で供給し、圧力約20Pa～約40Paにて、アモルファスシリコン膜を形成する。この後、窒素雰囲気中にて、約600℃～約700℃にて約1時間～約10時間、好ましくは約4時間～約

6時間のアニール処理を施し、固相成長させ、ポリシリコン膜を形成する。また、ポリシリコン膜1aは、減圧CVD法等により直接成膜しても良いし、減圧CVD法等により堆積したポリシリコン膜にシリコンイオンを打ち込んで一旦非晶質化し、アニール等で再結晶化させてポリシリコン膜を形成しても良い。

【0100】次に、フォトリソグラフィ技術を用いて、図24（E）に示すようにパターンニングし、画素スイッチング用TFT部102に島状の半導体層1（能動層）を形成する。これに対して、定電位配線8との接続部分ではポリシリコン層1aを完全に除去する。

【0101】次に、図24（F）に示すように、半導体層1を約900℃～約1300℃の温度で熱酸化することにより、半導体層1の表面に厚さが約500オングストローム～約1500オングストロームのシリコン酸化膜からなるゲート絶縁膜12を形成する。この工程により、半導体層1の膜厚は最終的に約300オングストローム～約1500オングストローム、好ましくは約350オングストローム～約450オングストロームの厚さになり、ゲート絶縁膜12は約200オングストローム～約1500オングストロームの厚さとなる。なお、8インチ程度の大型基板を使用する場合、熱による基板のそりを防止するためには、熱酸化時間を短くして熱酸化膜を薄くし、この熱酸化膜上に高温酸化シリコン膜（HTO膜）や窒化シリコン膜をCVD法等で堆積して2層以上の多層ゲート絶縁膜構造を形成しても良い。

【0102】次に、図25（A）に示すように、走査線2（ゲート電極）を形成するためのポリシリコン膜201を基板10全面に形成した後、リンを熱拡散し、ポリシリコン膜201を導電化する。または、リンをポリシリコン膜201の成膜と同時に導入したドーパントシリコン膜を用いてもよい。

【0103】次に、ポリシリコン膜201をフォトリソグラフィ技術を用いて、図25（B）に示すようにパターンニングし、画素スイッチング用TFT102部の側にゲート電極（走査線2の一部）を形成する。これに対して、定電位配線8との接続部分ではポリシリコン膜201を完全に除去する。なお、走査線2（ゲート電極）の材料としては、金属膜や金属シリサイド膜等でも良いし、金属膜や金属シリサイド膜とポリシリコン膜とを組み合わせて多層にゲート電極を構成しても良い。特に、金属膜や金属シリサイド膜は遮光性を持つため、走査線2を遮光膜として配線することで、ブラックマトリクスとして代用することが可能となり、対向基板31上のブラックマトリクス6を省略することができる。これにより、対向基板31と液晶装置用基板300との貼り合わせずれによる画素開口率の低下を防ぐことができる。

【0104】次に、図25（C）に示すように、画素スイッチング用TFT102部及び周辺駆動回路のNチャネルTFT部の側には、ゲート電極をマスクとして、約

0. $1 \times 10^{13} / \text{cm}^2$ ~ 約 $10 \times 10^{13} / \text{cm}^2$ のドーズ量で低濃度の不純物イオン（リン等）19の打ち込みを行い、画素スイッチング用TFT102部の側には、ゲート電極に対して自己整合的に低濃度ソース・ドレイン領域1d、1eを形成する。ここで、ゲート電極の下方に位置しているため、不純物イオン100が導入されなかった部分は半導体層1のままのチャネル領域1cとなる。このようにしてイオン打ち込みを行った際には、ゲート電極として形成されていたポリシリコン層にも不純物イオンが導入されるので、それはさらに導電化することになる。

【0105】次に、図25(D)に示すように、画素スイッチング用TFT102部及び周辺駆動回路のNチャネルTFT部の側には、ゲート電極より幅の広いレジストマスク21を形成して高濃度の不純物イオン（リン等）20を約0. $1 \times 10^{15} / \text{cm}^2$ ~ 約 $10 \times 10^{15} / \text{cm}^2$ のドーズ量で打ち込み、高濃度のソース領域1a及びドレイン領域1bを形成する。

【0106】これらの不純物導入工程に代えて、低濃度の不純物イオンの打ち込みを行わずにゲート電極より幅の広いレジストマスクを形成した状態で高濃度の不純物イオン（リン等）を打ち込み、オフセット構造のソース領域及びドレイン領域を形成してもよい。また、ゲート電極をマスクとして高濃度の不純物イオン（リン等）を打ち込んで、セルフアライン構造のソース領域及びドレイン領域を形成してもよいことは勿論である。

【0107】また、図示を省略するが、周辺駆動回路のPチャネルTFT部を形成するために、画素スイッチング用TFT102部及びNチャネルTFT部をレジストで被覆保護して、ゲート電極をマスクとして、約0. $1 \times 10^{15} / \text{cm}^2$ ~ 約 $10 \times 10^{15} / \text{cm}^2$ のドーズ量でボロン等の不純物イオンを打ち込むことにより、自己整合的にPチャネルのソース・ドレイン領域を形成する。なお、画素TFT部及び周辺駆動回路のNチャネルTFT部の形成時と同様に、ゲート電極をマスクとして、約0. $1 \times 10^{13} / \text{cm}^2$ ~ 約 $10 \times 10^{13} / \text{cm}^2$ のドーズ量で低濃度の不純物イオン（ボロン等）を導入して、ポリシリコン膜に低濃度ソース・ドレイン領域を形成した後、ゲート電極よりの幅の広いマスクを形成して高濃度の不純物イオン（ボロン等）を約0. $1 \times 10^{15} / \text{cm}^2$ ~ 約 $10 \times 10^{15} / \text{cm}^2$ のドーズ量で打ち込み、LDD構造のソース領域及びドレイン領域を形成してもよい。また、低濃度の不純物イオンの打ち込みを行わずに、ゲート電極より幅の広いマスクを形成した状態で高濃度の不純物イオン（ボロン等）を打ち込み、オフセット構造のソース領域及びドレイン領域を形成してもよい。これらのイオン打ち込み工程によって、CMOS化が可能になり、周辺駆動回路の同一基板内への内蔵化が可能となる。

【0108】次に、図25(E)に示すように、ゲート

電極の表面側に常圧CVD法や減圧CVD法等などによりたとえば800℃程度の温度条件下で厚さが約5000オングストローム~約15000オングストロームのNSG膜（ボロンやリンを含まないシリケートガラス膜）や窒化シリコン膜等などからなる第2層間絶縁膜13を形成する。そして、ソース・ドレイン領域に導入した不純物イオンを活性化するために例えば1000℃程度のアニールを施す。

【0109】次に、定電位配線8との接続部分では、第1の遮光膜7の配線部分に相当する領域にコンタクトホール9を形成する。この際には、反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより異方性のコンタクトホール9を形成した方が開孔径をほぼマスクの寸法通りに形成できるため高精細化に有利である。また、ドライエッチングとウェットエッチングを組み合わせを行い、コンタクトホール9をテーパー状に形成すると、配線接続時の断線防止に効果がある。

【0110】次に、図26(A)に示すように、フォトリソグラフィ技術を用いて、画素スイッチング用TFT102部の側では第2層間絶縁膜13のうち、ソース領域1aに対応する部分にコンタクトホール5を形成する。また、定電位配線8との接続部分では、第2層間絶縁膜13に対して、コンタクトホール9に接続するコンタクトホール17を形成する。

【0111】次に、図26(B)に示すように、層間絶縁膜13の表面側に、データ線3（ソース電極）を構成するためのアルミニウム膜301をスパッタ法などで形成する。アルミニウムなどの金属膜の他に、金属シリサイド膜や金属合金膜を用いてもよい。

【0112】次に、図26(C)に示すように、フォトリソグラフィ技術を用いて、アルミニウム膜301をパターンニングし、画素スイッチング用TFT102部では、データ線3の一部としてソース電極を形成する。一方、定電位配線8との接続部分では定電位配線8を形成する。

【0113】次に、図26(D)に示すように、ソース電極及び定電位配線8の表面側に、常圧CVD法や常圧オゾン-TEOS法等によりなどによりたとえば400℃程度の温度条件下で厚さが約500オングストローム~約15000オングストロームのBPSSG膜（ボロンやリンを含むシリケートガラス膜）と、約100オングストローム~約3000オングストロームのNSG膜の少なくとも2層を含む第3層間絶縁膜15を形成する。また、有機膜等をスピンコートにより塗布することで、段差形状のない平坦化膜を形成しても良い。

【0114】次に、図26(E)に示すように、画素スイッチング用TFT102部の側では、フォトリソグラフィ技術及びドライエッチング法などを用いて、第2及び第3層間絶縁膜13、15のうち、高濃度ドレイン領

域1bに対応する部分にコンタクトホール4を形成する。この際にも、反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより異方性のコンタクトホールを形成した方が、高精細化に有利である。また、ドライエッチングとウェットエッチングを組み合わせて行い、コンタクトホール4をテーパー状に形成すると、配線接続時の断線防止に効果がある次に、図27(A)に示すように、第3層間絶縁膜15の表面側に、ドレイン電極を構成するための厚さが約400オングストローム〜約2000オングストロームのITO膜140をスパッタ法などで形成した後、図27(B)に示すように、フォトリソグラフィ技術を用いて、ITO膜140をパターンニングし、画素スイッチング用TFT102部には画素電極14を形成する。また、定電位配線8との接続部分ではITO膜140を完全に除去する。なお、画素電極14の表面には、ポリイミド等の配向膜が形成され、ラビング処理される。画素電極14としては、ITO膜に限らず、SnOX膜やZnOX膜などの高融点の金属酸化物などからなる透明電極材料を使用することも可能であり、これらの材料であれば、コンタクトホール内でのステップカバレッジも実用に耐えるものである。また、反射型の液晶装置を構成する場合には、画素電極14として、アルミニウム等の反射率の高い膜を形成する。

【0115】なお、図25(E)及び図26(A)に示す工程において、定電位配線8との接続部分でコンタクトホール9、17を別々に形成せずに、コンタクトホール5を形成する際にコンタクトホール9を同時形成すれば、定電位配線8と第1の遮光膜7との接続部分を、図8に示すように構成することができる。

【0116】〔液晶装置用基板300の製造方法の例2〕液晶装置100の製造方法のうち、液晶装置用基板300の別の製造工程を、図28ないし図30を参照して説明する。これらの図も、液晶装置用基板の製造方法を示す工程断面図であり、いずれの図においても、その左側部分には図4(B)のA-A'線に相当する位置における断面(画素TFT部の断面)、右側部分には図6のB-B'線に相当する位置における断面(第1の遮光膜7と定電位配線8との接続部分の断面)を示してある。なお、ここでは、第1の遮光膜7と定電位配線8との接続部分を、図10または図11に示すように構成する例を説明する。また、この製造方法では、先に説明した製造方法と図24(A)に示す工程から図24(F)に示す工程までは共通なので、図24(F)に示す工程以降の工程について説明する。

【0117】本形態では、図24(F)に示すように、熱酸化法などにより半導体層1の表面に厚さが約500オングストローム〜約1500オングストロームのシリコン酸化膜からなるゲート絶縁膜12を形成した後、図28(A)に示すように、定電位配線8との接続部分で

は、第1層間絶縁膜11にコンタクトホール17を形成する。次に、ゲート電極などを形成するためのポリシリコン膜201を基板10全面に形成した後、リンを熱拡散し、ポリシリコン膜201を導電化する。または、リンをポリシリコン膜201の成膜と同時に導入したドーパントシリコン膜を用いてもよい。

【0118】次に、ポリシリコン膜201をフォトリソグラフィ技術を用いて、図28(B)に示すようにパターンニングし、画素TFT部の側にゲート電極(走査線2の一部)を形成する。これに対して、定電位配線8との接続部分では中継電極16を形成する。

【0119】次に、図28(C)に示すように、画素スイッチング用TFT102部及び周辺駆動回路のNチャネルTFT部の側には、ゲート電極をマスクとして低濃度の不純物イオン(リン等)19の打ち込みを行い、画素スイッチング用TFT102部の側には、ゲート電極に対して自己整合的に低濃度ソース・ドレイン領域1d、1eを形成する。ここで、ゲート電極の真下に位置しているため、不純物イオン100が導入されなかった部分は半導体層1のままのチャネル領域1cとなる。このようにしてイオン打ち込みを行った際には、ゲート電極として形成されていたポリシリコン、及び中継電極16として形成されていたポリシリコン膜にも不純物イオンが導入されるので、それらはさらに導電化することになる。

【0120】次に、図28(D)に示すように、画素スイッチング用TFT102部及び周辺駆動回路のNチャネルTFT部の側には、ゲート電極より幅の広いレジストマスク21を形成して高濃度の不純物イオン(リン等)20を打ち込み、高濃度のソース領域1a及びドレイン領域1bを形成する。

【0121】次に、図28(E)に示すように、ゲート電極及び中継電極16の表面側にCVD法などによりたとえば800℃程度の温度条件下で厚さが約5000オングストローム〜約15000オングストロームのNSG膜(ボロンやリンを含まないシリケートガラス膜)などからなる第2層間絶縁膜13を形成する。

【0122】次に、図29(A)に示すように、フォトリソグラフィ技術を用いて、画素TFT部の側では第2層間絶縁膜13のうち、ソース領域1aに対応する部分にコンタクトホール5を形成する。また、定電位配線8との接続部分では、第2層間絶縁膜13に対して、中継電極16に対応する位置にコンタクトホール9を形成する。

【0123】次に、図29(B)に示すように、第2層間絶縁膜13の表面側に、データ線3(ソース電極)を構成するためのアルミニウム膜301をスパッタ法などで形成する。アルミニウムなどの金属膜の他に、金属シリサイド膜や金属合金膜を用いてもよい。

【0124】次に、図29(C)に示すように、フォト

リソグラフィ技術を用いて、アルミニウム膜301をパターンニングし、画素スイッチング用TFT102部では、データ線3の一部としてソース電極を形成する。一方、定電位配線8との接続部分では定電位配線8を形成する。

【0125】次に、図29(D)に示すように、ソース電極及び定電位配線8の表面側に、CVD法などによりたとえば400℃程度の温度条件下で厚さが約500オングストローム～約15000オングストロームのBP
SG膜（ボロンやリンを含むシリケートガラス膜）と、
約100オングストローム～約3000オングストロームのNSG膜の少なくとも2層を含む第3層間絶縁膜15を形成する。

【0126】次に、図29(E)に示すように、画素TFT部の側では、フォトリソグラフィ技術及びドライエッチング法などを用いて、第2及び第3層間絶縁膜13、15のうちドレイン領域1bに対応する部分にコンタクトホール4を形成する。

【0127】次に、図30(A)に示すように、第3層間絶縁膜15の表面側に、ドレイン電極を構成するための厚さが約400オングストローム～約2000オングストロームのITO膜140をスパッタ法などで形成した後、図30(B)に示すように、フォトリソグラフィ技術を用いて、ITO膜140をパターンニングし、画素TFT部には画素電極14を形成する。また、定電位配線8との接続部分ではITO膜140を完全に除去する。

【0128】なお、図28(B)及び図29(A)に示す工程において、中継電極16をパターンニング形成する位置、及びコンタクトホール17を形成する位置を変えれば、定電位配線8と第1の遮光膜7との接続構造を図10及び図11のいずれの形態にも構成することができる。

【0129】〔周辺駆動回路の構成〕本発明では、第1層間絶縁膜11と基板10との間に第1の遮光膜7を形成することから、多層配線を用いた周辺駆動回路（走査線駆動回路104及びデータ線駆動回路103）においてさらに配線層を1層分、増やしたことになる。そこで、このような第1の遮光膜7と同時に形成した導電膜を周辺駆動回路において配線として用いる例を以下に説明する。

【0130】（周辺駆動回路の構成例1）図31は、本発明を適用して好適なアクティブマトリクス型の液晶装置100の周辺駆動回路（走査線駆動回路104及びデータ線駆動回路103）を構成するシフトレジスタ回路の等価回路の一例を示す等価回路図である。転送信号をラッチする回路は、トランスミッションゲート回路で構成しても良いし、クロックドインバータ回路等で構成しても良い。

【0131】図32は、図31におけるシフトレジスタ

回路のS部分を、液晶装置用基板300上に集積して形成する際のレイアウト平面図の一例を示している。図32(A)は従来のパターンレイアウトであり、図32(B)は本発明を適用したパターンレイアウトである。また、図33(A)及び図33(B)はそれぞれ、図32(A)におけるC-C'部分の断面図、及び図32(B)におけるD-D'部分の断面図である。

【0132】図32(A)、図33(A)において、50、51、46はそれぞれ、P型領域、N型領域、及び駆動回路用のPチャネル型TFTである。これらの図に示す従来例では、本段のシフトレジスタ回路と次段のシフトレジスタ回路との接続部N4に配線を通すには、トランスミッションゲート回路を制御するクロック信号線CL（前記走査線と同一工程、同一層で形成）の表面に形成した第2層間絶縁膜13の上で、データ線3と同一工程で形成した同一層間のアルミニウム等の金属膜等からなる配線40を用いていた。その結果、従来例では、トランスミッションゲート回路のソース・ドレイン電極41、42が配線40と同一層で形成される。このため、トランスミッションゲート回路間の距離L1は配線40とトランスミッションゲート回路のソース・ドレイン電極41、42とのフォトリソグラフィ工程及びエッチング工程時の寸法精度により決まるので、トランスミッションゲート回路間の距離L1は、配線40が通る分だけこれ以上微細化できずに高集積化の妨げとなっていた。

【0133】しかるに、本形態では、前記の各実施形態で説明したように、基板10と第1層間絶縁膜11との間には第1の遮光膜7が形成されているので、この第1の遮光膜7を周辺駆動回路部分にも構成し、図32

(B)、図33(B)に示すように、第1の遮光膜7を周辺駆動回路の配線材料として用いることで、微細化を実現する。すなわち、図32(B)、図33(B)に示すように、本段のシフトレジスタ回路と次段のシフトレジスタ回路との接続部N4の配線材料として、第1層間絶縁膜11と基板10との間に形成した第1の遮光膜7を用いることにより、トランスミッションゲート回路のソース及びドレイン電極41、42と同一層間には配線がなくなる。従って、トランスミッションゲート回路間の距離L2は、隣り合うトランスミッションゲート回路のソース・ドレイン電極41、42間の間隔のみを考慮すれば良い。したがって、本形態では、トランスミッションゲート回路間の距離L2の距離は、従来のトランスミッションゲート回路間の距離L1よりも常に狭くできる。

【0134】（周辺駆動回路の構成例2）本例では、従来と同一の工程数により、周辺駆動回路（走査線駆動回路及びデータ線駆動回路）用のTFTの特性向上を図ることができることを説明する。図34は、周辺駆動回路で用いている等価回路の一例で、(A)、(B)、

(C)はそれぞれ、クロックインバータ回路、トランスマッションゲート回路、及びインバータ回路をそれぞれ示している。

【0135】図34において、前記各々の等価回路は、Pチャネル型TFT及びNチャネル型TFTから成るCMOS型TFTにより構成されており、画素スイッチング用のTFTの形成工程を兼用して形成することができる。CLはクロック信号、CLBは前記クロック信号の反転信号、VDDは周辺駆動回路の高電位側の定電圧電源、VSSは周辺駆動回路の低電位側の定電圧電源をそれぞれ示している。また、46、47はそれぞれ駆動回路用のPチャネル型TFT、及び駆動回路用のNチャネル型TFTである。IN側から入力された信号はOUT側に出力される。また、前記CL信号及びCLB信号は、回路構成において、図31に示すように信号が入れ替わることは言うまでもない。図35(A)は、図34(C)のインバータ回路の液晶装置用基板上でのレイアウトを示す平面図であり、図35(B)は図35(A)のE-E'間の断面図を示している。

【0136】本形態では、前記の各実施形態で説明したように、基板10と第1層間絶縁膜11との間には第1の遮光膜7が形成されているので、この第1の遮光膜7を周辺駆動回路部分にも構成する。すなわち、図35(A)、(B)に示すように、前記インバータ回路を構成するPチャネル型TFT46及びNチャネル型TFT47の各々のソース電極44に対して、第1層間絶縁膜11のコンタクトホール5を経由して第1の遮光膜7を接続する。この第1の遮光膜7はPチャネル型TFT46及びNチャネル型TFT47のゲート電極43下部のチャネル領域52、53を第1層間絶縁膜11を介して完全に覆うように形成されている。従って、Pチャネル型TFT46のソース電極48(周辺駆動回路の高電位側の定電圧電源VDD)及びNチャネル型TFT47のソース電極49(周辺駆動回路の低電位側の定電圧電源VSS)から印加される電圧で、第1の遮光膜7が擬似的な第2のゲート電極としての機能を果たす。このため、Nチャネル型TFT47では、そのチャネル領域53において空乏層のゲート絶縁膜12に接する部分の電位が従来より大きく上昇し、電子に対するポテンシャルエネルギーが低下する。その結果、空乏層のゲート絶縁膜12に接する部分に電子が集まり反転層ができやすくなるため、半導体層の抵抗が下がり、TFT特性が向上する。Pチャネル型TFT46のチャネル領域52では、前記電子を正孔に置き換えた現象が生じる。

【0137】なお、図35(B)では、周辺駆動回路のPチャネル型TFT46及びNチャネル型TFT47はゲートセルフアライン構造で表してあるが、前記製造プロセスで説明したように、TFTの耐圧を向上し、信頼性を高めるために、該周辺駆動回路のPチャネル型TFT46及びNチャネル型TFT47をLDD構造やオフ

セットゲート構造で形成しても良い。

【0138】(周辺駆動回路の構成例3)また、図36(A)は図34(C)のインバータ回路の液晶装置用基板300上におけるレイアウトの平面図であり、図36(B)は図36(A)のF-F'間の断面図を示している。また、図36(C)は、図36(A)におけるG-G'間の断面図を示している。

【0139】本形態では、前記の各実施形態で説明したように、基板10と第1層間絶縁膜11との間には第1の遮光膜7が形成されているので、この第1の遮光膜7を周辺駆動回路部分にも構成する。すなわち、図36(A)、(B)、(C)に示すように、インバータ回路を構成するPチャネル型TFT46及びNチャネル型TFT47の各々のゲート電極43に重なるように形成した第1の遮光膜7をゲート電極43に接続する。また、第1の遮光膜7をゲート電極43と同一かあるいは幅を狭くして、チャネル領域52、53の上下をゲート絶縁膜12及び第1層間絶縁膜11を介してゲート電極43及び第1の遮光膜7で挟むようにしてダブルゲート構造のTFTを構成する。また、インバータ回路の入力側の配線44は、データ線3と同一層で形成されており、第1層間絶縁膜11のコンタクトホール5を経由してゲート電極43と接続され、第1層間絶縁膜11のコンタクトホール5を経由して第1の遮光膜7と接続される。前記コンタクトホール5の開孔は同一工程により行う。したがって、このダブルゲート構造のTFTは第1の遮光膜7が第2のゲート電極の働きをするため、バックチャネル効果により、TFT特性の更なる向上を図ることができる。

【0140】(TFT特性)周辺駆動回路の構成例2、3で説明した構造のNチャネル型TFTの特性を図37に示す。図37において、三角のマーク及びそれを結ぶ実線(a)はチャネル領域下部に他の層がない従来のNチャネル型TFT、丸のマーク及びそれを結ぶ実線(b)は周辺駆動回路の構成例2で説明した構造のNチャネル型TFT、四角のマーク及びそれを結ぶ実線(c)は周辺駆動回路の構成例3で説明した構造のNチャネル型TFTのTFT特性をそれぞれ示す。TFTのサイズは3水準共同サイズ(チャネル長5 μ m、チャネル幅20 μ m)でソース・ドレイン間に電圧15Vを印加して測定したものである。膜厚条件は、第1の遮光膜7は1000オングストローム、第1層間絶縁膜11は1000オングストローム、半導体層1は500オングストローム、ゲート絶縁膜12は900オングストロームに設定した。測定結果として、TFTのゲート電極に15V印加した際に、周辺駆動回路の構成例2で説明した構造のNチャネル型TFT(丸のマーク及びそれを結ぶ実線(b)で示す特性)は、従来のTFT(三角のマーク及びそれを結ぶ実線(a)で示す特性)より約1.5倍のオン電流が得られることを確認できた。ま

た、TFTのゲート電極に15V印加した際に、周辺駆動回路の構成例3で説明した構造のNチャネル型TFT（四角のマーク及びそれを結ぶ実線（b））で示す特性は、従来のTFT（三角のマーク及びそれを結ぶ実線（a））で示す特性）の3.0倍以上のオン電流が得られることを確認できた。従って、周辺駆動回路の構成例2、3で説明した構造のNチャネル型TFTを用いることで、表示画素の増大に伴う周辺駆動回路の高速化及び微細化が可能となり、また、データ線3への画像信号の書き込みが改善するため、高品位な画像表示が実現できる液晶装置を提供することができる。

【0141】〔投写型液晶装置への応用例〕図38は、前記の各実施形態に係る液晶装置100をライトバルブとして応用した投写型表示装置の一例として該アクティブマトリクス型液晶装置を3枚使用したプリズム色合成方式のプロジェクターに用いた光学系の説明図である。

【0142】図38において、370はハロゲンランプ等の光源、371は放物ミラー、372は熱線カットフィルター、373、375、376はそれぞれ青色反射、緑色反射、赤色反射のダイクロイックミラー、374、377は反射ミラー、378、379、380は前記アクティブマトリクス型液晶装置からなる青色、緑色、赤色変調ライトバルブ、383はダイクロイックプリズムである。

【0143】このプロジェクターにおいては、光源370から発した白色光は放物ミラー371により集光され、熱線カットフィルター372を通過して赤外光領域の熱線が遮断されて、可視光のみがダイクロイックミラー系に入射される。そしてまず、青色反射ダイクロイックミラー373により、青色光（概ね500nm以下の波長）が反射され、その他の光（黄色光）は透過する。反射した青色光は、反射ミラー374により方向を変え、青色変調ライトバルブ378に入射する。一方、青色反射ダイクロイックミラー373を透過した光は緑色反射ダイクロイックミラー375に入射し、緑色光（概ね500～600nmの波長）が反射され、その他の光である赤色光（概ね600nm以上の波長）は透過する。緑色変調ライトバルブ375で反射した緑色光は、緑色変調ライトバルブ379に入射する。また、ダイクロイックミラー375を透過した赤色光は、反射ミラー376、377により方向を変え、赤色変調ライトバルブ380に入射する。

【0144】各色のライトバルブ378、379、380は、画像信号処理回路から供給される青、緑、赤の原色信号でそれぞれ駆動され、各ライトバルブに入射した光は変調され、ダイクロイックプリズム383で合成される。このダイクロイックプリズム383は、赤色反射面381と青色反射面382とが互いに直交するように構成されている。そして、ダイクロイックプリズム383で合成されたカラー画像は、投写レンズ384によ

てスクリーン上に拡大投射される。更に、液晶装置用基板の裏面からの反射光（戻り光）はほとんど無視できるので、従来のように反射防止処理を施した偏光板やフィルムを液晶装置の出射側面に貼り付ける必要がないので、コストの削減が実現できる。

【0145】本発明を適用した液晶装置100は、強い光が照射されても画素電極14を制御する画素スイッチング用TFT102でのリーク電流が抑制できているため、高コントラスト等の高品位画像表示を得ることができる。また、ダイクロイックプリズム383の代わりにミラーを使用して色合成をするプロジェクターや、本発明を適用した液晶装置100の対向基板にR（赤）、G（緑）、B（青）のカラーフィルター層を形成したものを使用して、1枚の液晶装置100を用いてカラー画面が拡大投影できるプロジェクターに用いても効果がある。

【0146】ところで、図38に示されるように、色合成にダイクロイックプリズム383を用いる場合に、本発明は特に利点を有する。たとえば、ダイクロイックミラー374にて反射された光は、ライトバルブ378を透過して、ダイクロイックプリズム383で合成される。この場合、ライトバルブ378に入射された光は90度変調して投写レンズ384に入射される。しかしながら、ライトバルブ378に入射された光はわずかに漏れて、反対側のライトバルブ380に入射される可能性がある。従って、ライトバルブ380を例にとると、ダイクロイックミラー377により反射された光が、矢印Aで示すように、入射方向側から入射されるだけでなく、ライトバルブ378を透過した光の一部がダイクロイックプリズム382を透過してライトバルブ380に入射される可能性がある。また、ダイクロイックミラー377により反射された光がライトバルブ380を通過してダイクロイックプリズム383に入射される際に、ダイクロイックプリズム383でわずかに反射（正反射）してライトバルブ380に再入射される可能性もある。このように、ライトバルブ380は入射側方向からの光の入射とその反対側方向からの入射が大きい、このような場合に対しても、本発明は前記各実施形態で説明したように、画素スイッチング用TFT102に対しては、入射側からも入射側の反対側からも光が入射されないようにデータ線2（第2の遮光膜）、対向基板31のブラックマトリクス6（第3の遮光膜）、及び第1の遮光膜7が形成されているので、入射側からの光についてはデータ線2（第2の遮光膜）、及び対向基板31のブラックマトリクス6（第3の遮光膜）で遮られ、反対側からの光は第1の遮光膜7で遮られる。従って、画素スイッチング用のTFT102にリーク電流が発生しない。

【0147】〔液晶装置の変形例〕上述したいずれの形態に係る液晶装置100においても、図39に示すよう

に、対向基板 31 の側に例えばマトリクス状にマイクロレンズ 33 を接着剤 34 で画素単位で間隔を開けずに接着した後、それを薄板ガラス 35 で覆うことにより、入射光を液晶装置用基板 300 の画素電極 14 上に集光させることができる。このため、コントラストと明るさを大幅に改善することができる。しかも入射光を集光させるため、画素スイッチング用 TFT 102 のチャンネル領域 1c などへの斜め方向からの光の入射を防止することが可能となる。また、前記マイクロレンズ 33 を用いる場合は、対向基板 31 側のブラックマトリクス 6 を省略することもできる。本発明の液晶装置によれば、画素スイッチング用 TFT 102 のチャンネル領域 1c 下方に少なくとも第 1 の遮光膜 7 が設けられているから、液晶装置用基板 300 の裏面からの反射光（戻り光）により、チャンネル領域 1c が照射されることがないため、光が起因して生じるリーク電流を抑制できる。従ってマイクロレンズ 33 を用いて集光しても何等問題はない。

【0148】また、上述したいずれの形態でも、第 1 の遮光膜 7 は走査線駆動回路 104 の低電位側の定電圧電源 VSSY に接続したが、高電位側の定電圧電源 VDDY に接続してもよい。また、第 1 の遮光膜 7 はデータ線駆動回路 103 の低電位側の定電圧電源 VSSX に接続しても、高電位側の定電圧電源 VDDX に接続してもよいことは言うまでもない。さらに、液晶装置用基板 300 から対向基板 31 の対向電極 32 に上下導通材 31 を介して対向電極電位 LCCOM を供給する給電線や各駆動回路 103、104 に接地電位を供給する給電線に第 1 の遮光膜 7 を接続してもよい。

【0149】さらに、実施の形態 1、2 などでは、第 1 の遮光膜 7 の配線部分を走査線 2 に沿って延設したが、データ線 3 に沿って表示領域 61 の外側に延設してもよい。

【0150】

【発明の効果】以上説明したように、本発明に係る液晶装置では、画素スイッチング用 TFT のチャンネル領域に重なるようにその下層側には第 1 の遮光膜が形成されているので、液晶装置用基板の裏面側からの反射光があっても、この光は画素スイッチング用 TFT のチャンネル領域に届かない。それ故、TFT には、液晶装置用基板の裏面側からの反射光に起因するリーク電流が発生しない。しかも、第 1 の遮光膜は、走査線駆動回路の低電位側の定電圧電源を供給する定電位配線などに接続されているので、TFT の半導体層と第 1 の遮光膜との間に寄生する容量の影響を受けて TFT 特性が変動したり劣化するということがない。

【図面の簡単な説明】

【図 1】本発明を適用した液晶装置の平面図である。

【図 2】図 1 の H-H' 線における断面図である。

【図 3】本発明を適用した液晶装置の液晶装置用基板のブロック図である。

【図 4】(A)、(B) はそれぞれ、液晶装置用基板においてマトリクス状に構成されている画素を取り出して示す等価回路図、及び平面図である。

【図 5】図 4 (B) の A-A' 線における断面図である。

【図 6】本発明の実施の形態 1 に係る液晶装置に用いた液晶装置用基板において、表示領域の最端部に形成された 2 つの画素の周辺を拡大して示す平面図である。

【図 7】図 6 に示す液晶装置用基板に形成された第 1 の遮光膜の配線部分、及び該配線部分と定電位配線との接続構造を示す説明図である。

【図 8】(A)、(B) はそれぞれ、図 6 において第 1 の遮光膜の配線部分と定電位配線との接続部分を B-B' 線に沿って切断した断面図、及び遮光膜の配線部分と定電位配線との接続部分の拡大平面図である。

【図 9】(A)、(B) はそれぞれ、第 1 の遮光膜の配線部分と定電位配線との接続部分の変形例 1 を図 6 の B-B' 線に沿って切断したときに相当する断面図、及び遮光膜の配線部分と定電位配線との接続部分の拡大平面図である。

【図 10】(A)、(B) はそれぞれ、第 1 の遮光膜の配線部分と定電位配線との接続部分の変形例 2 を図 6 の B-B' 線に沿って切断したときに相当する断面図、及び遮光膜の配線部分と定電位配線との接続部分の拡大平面図である。

【図 11】(A)、(B) はそれぞれ、第 1 の遮光膜の配線部分と定電位配線との接続部分の変形例 3 を図 6 の B-B' 線に沿って切断したときに相当する断面図、及び遮光膜の配線部分と定電位配線との接続部分の拡大平面図である。

【図 12】本発明の実施の形態 1 の改良例 1 に係る液晶装置に用いた液晶装置用基板に形成された第 1 の遮光膜の配線部分、及び該配線部分と定電位配線との接続構造を示す説明図である。

【図 13】本発明の実施の形態 1 の改良例 2 に係る液晶装置に用いた液晶装置用基板に形成された第 1 の遮光膜の配線部分、及び該配線部分と定電位配線との接続構造を示す説明図である。

【図 14】本発明の実施の形態 1 の改良例 3 に係る液晶装置に用いた液晶装置用基板に形成された第 1 の遮光膜の配線部分、及び該配線部分と定電位配線との接続構造を示す説明図である。

【図 15】本発明の実施の形態 2 に係る液晶装置に用いた液晶装置用基板において、表示領域の最端部に形成された 2 つの画素の周辺を拡大して示す平面図である。

【図 16】図 15 に示す液晶装置用基板に形成された第 1 の遮光膜の配線部分、及び該配線部分と定電位配線との接続構造を示す説明図である。

【図 17】本発明の実施の形態 2 の改良例 1 に係る液晶装置に用いた液晶装置用基板に形成された第 1 の遮光膜

の配線部分、及び該配線部分と定電位配線との接続構造を示す説明図である。

【図 18】本発明の実施の形態 2 の改良例 2 に係る液晶装置に用いた液晶装置用基板に形成された第 1 の遮光膜の配線部分、及び該配線部分と定電位配線との接続構造を示す説明図である。

【図 19】本発明の実施の形態 2 の改良例 3 に係る液晶装置に用いた液晶装置用基板に形成された第 1 の遮光膜の配線部分、及び該配線部分と定電位配線との接続構造を示す説明図である。

【図 20】本発明の実施の形態 3 に係る液晶装置に用いた液晶装置用基板において、表示領域の最端部に形成された 2 つの画素の周辺を拡大して示す平面図である。

【図 21】図 20 の J-J' 線における断面図である。

【図 22】本発明の実施の形態 4 に係る液晶装置に用いた液晶装置用基板において、表示領域の最端部に形成された 2 つの画素の周辺を拡大して示す平面図である。

【図 23】図 22 の K-K' 線における断面図である。

【図 24】本発明を適用した液晶装置の液晶装置用基板の製造方法を示す工程断面図である。

【図 25】本発明を適用した液晶装置の液晶装置用基板の製造方法において、図 24 に示す工程以降に行なう各工程の工程断面図である。

【図 26】本発明を適用した液晶装置の液晶装置用基板の製造方法において、図 25 に示す工程以降に行なう各工程の工程断面図である。

【図 27】本発明を適用した液晶装置の液晶装置用基板の製造方法において、図 26 に示す工程以降に行なう各工程の工程断面図である。

【図 28】本発明を適用した液晶装置の液晶装置用基板の別の製造方法において、図 24 に示す工程以降に行なう各工程の工程断面図である。

【図 29】本発明を適用した液晶装置の液晶装置用基板の製造方法において、図 28 に示す工程以降に行なう各工程の工程断面図である。

【図 30】本発明を適用した液晶装置の液晶装置用基板の製造方法において、図 29 に示す工程以降に行なう各工程の工程断面図である。

【図 31】本発明を適用して好適な液晶装置の周辺駆動回路を構成するシフトレジスタ回路の一例を示した等価回路図である。

【図 32】(A) は、本発明を適用して好適な液晶装置の周辺駆動回路を構成するシフトレジスタ回路のレイアウトの一例を示した平面図、(B) は、従来の液晶装置の周辺駆動回路を構成するシフトレジスタ回路のレイアウトを示した平面図である。

【図 33】(A) は、本発明を適用して好適な液晶装置の周辺駆動回路を構成するシフトレジスタ回路のレイアウトの一例を示した断面図、(B) は、従来の液晶装置の周辺駆動回路を構成するシフトレジスタ回路のレイ

アウトを示した断面図である。

【図 34】本発明を適用して好適な液晶装置の周辺駆動回路を構成する (A) クロックドインバータ、(B) インバータ、(C) トランスマッションゲートをそれぞれ示した等価回路図である。

【図 35】本発明を適用して好適な液晶装置の周辺駆動回路を構成するインバータ回路のレイアウト例で、

(a) 平面図、(b) E-E' に沿った断面図である。

【図 36】本発明を適用して好適な液晶装置の周辺駆動回路を構成するインバータ回路のレイアウト例で、

(a) 平面図、(b) F-F' に沿った断面図、(c) G-G' に沿った断面図である。

【図 37】従来の N チャネル型 TFT の及び本発明を適用した N チャネル型 TFT の電流-電圧特性図である。

【図 38】本発明に係る液晶装置用基板を用いた液晶装置をライトバルブとして応用した投写型表示装置の一例としてのプロジェクターの概略構成図である。

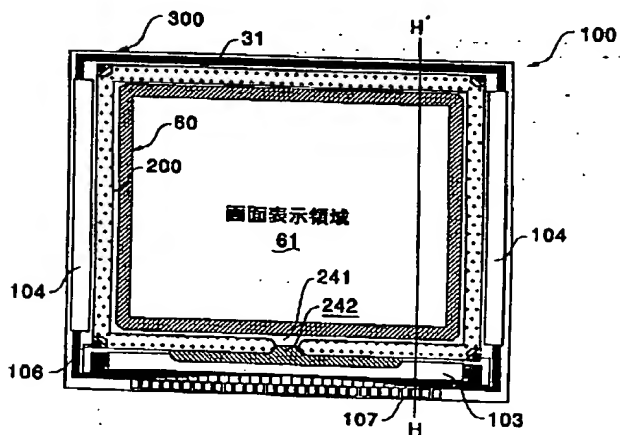
【図 39】本発明に係る液晶装置用基板を用いた液晶装置で対向基板側にマイクロレンズを用いた構成例を示す断面図である。

【符号の説明】

1	半導体層
1 a	高濃度ソース領域
1 b	高濃度ドレイン領域
1 c	チャネル領域
1 d	低濃度ソース領域
1 e	低濃度ドレイン領域
2	走査線
3	データ線 (第 2 の遮光膜)
4	データ線と半導体層のコンタクトホール
5	画素電極 (ドレイン電極) と半導体層のコンタクトホール
6	ブラックマトリクス
7	第 1 の遮光膜
8	定電位配線
9	定電位配線と第 1 の遮光膜とのコンタクトホール
10	基板
11	第 1 層間絶縁膜
12	ゲート絶縁膜
13	第 2 層間絶縁膜
14	画素電極
15	第 3 層間絶縁膜
16	中継電極 (導電膜)
17	導電膜と第 1 の遮光膜間のコンタクトホール
18	容量配線
19	低濃度リンイオン
20	高濃度リンイオン
21	レジスト
31	対向基板

- 32 対向電極
- 33 マイクロレンズ
- 34 接着剤
- 35 薄板ガラス
- 40 配線
- 41、42 TFTのソースあるいはドレイン電極
- 43 ゲート電極
- 44 インバータ回路のゲート信号入力配線
- 45 インバータ回路のドレイン電極（信号出力配線）
- 46 Pチャネル型TFT
- 47 Nチャネル型TFT
- 48 周辺駆動回路の正電荷配線（VDD）
- 49 周辺駆動回路の負電荷配線（VSS）
- 50 P型領域
- 51 N型領域
- 52 P型チャネル領域
- 53 N型チャネル領域
- 60 見切り用の遮光膜
- 100 液晶装置
- 101 データサンプリング回路
- 102 画素TFT
- 103 データ線駆動回路
- 104 走査線駆動回路

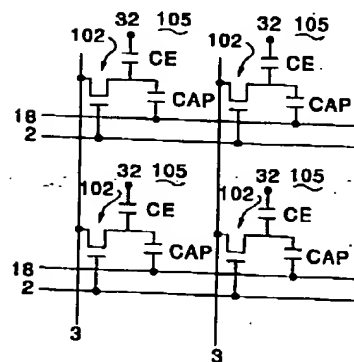
【図1】



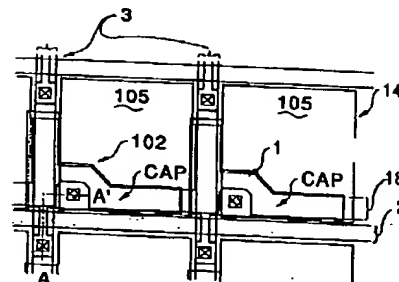
- 105 画素
- 106 上下導通端子
- 107 実装端子
- 108 液晶
- 109 補助回路
- 171 スイッチング回路
- 172、173 信号配線
- 200 シール材
- 201 ポリシリコン膜
- 10 300 液晶装置用基板
- 301 アルミニウム膜
- 370 ランプ
- 371 放物ミラー
- 372 熱線カットフィルター
- 373、375、376 ダイクロイックミラー
- 374、377 反射ミラー
- 378 ライトバルブ（青）
- 379 ライトバルブ（緑）
- 380 ライトバルブ（赤）
- 20 381 赤色反射面
- 382 青色反射面
- 383 ダイクロイックプリズム
- 384 投写レンズ

【図4】

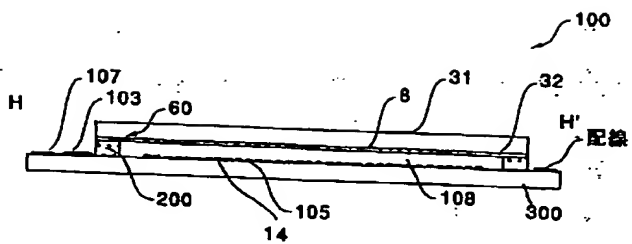
(A)



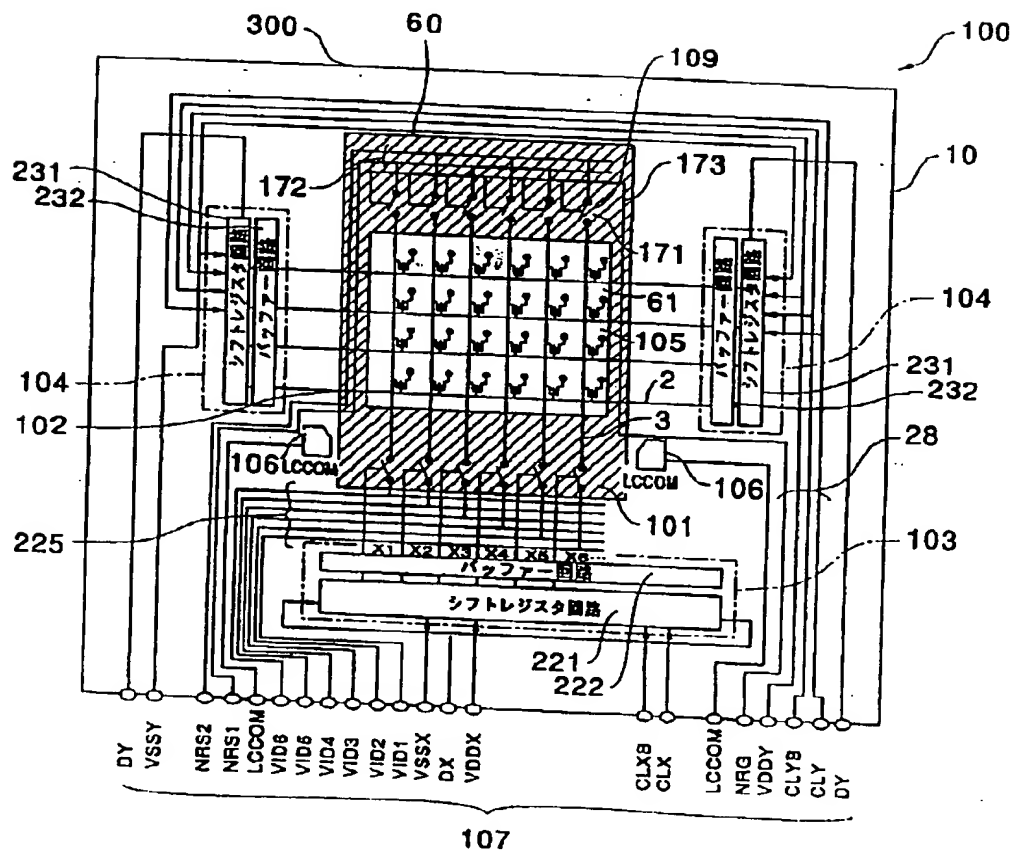
(B)



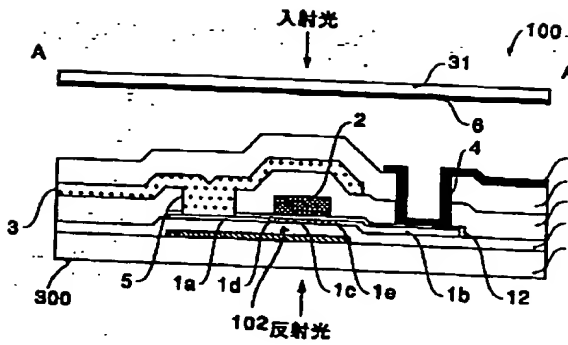
【圖 2】



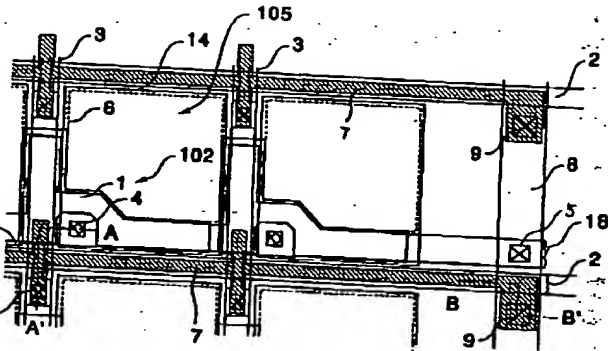
【図 3】



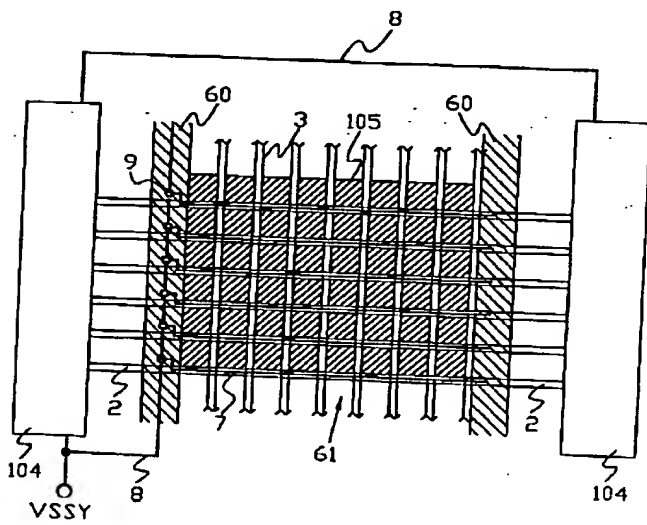
【図5】



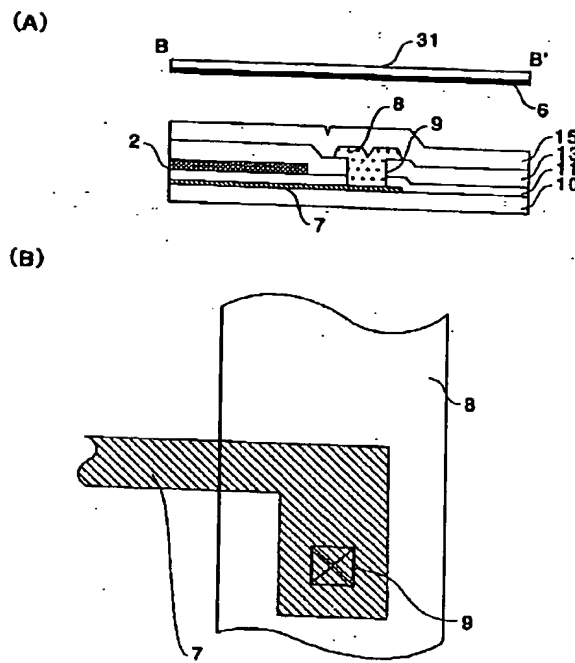
【図6】



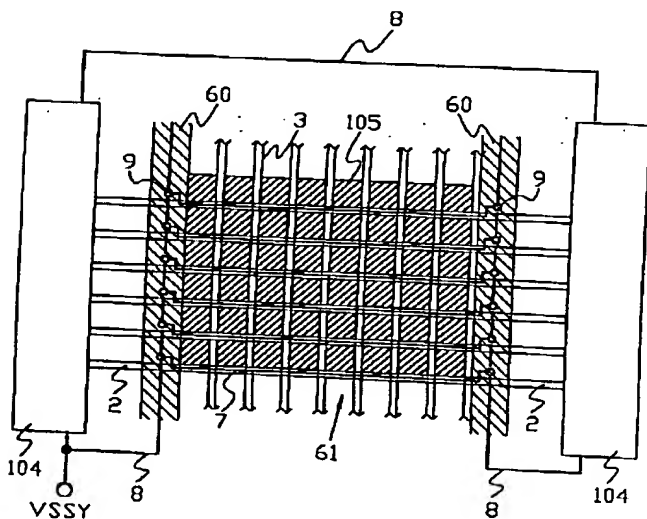
【図7】



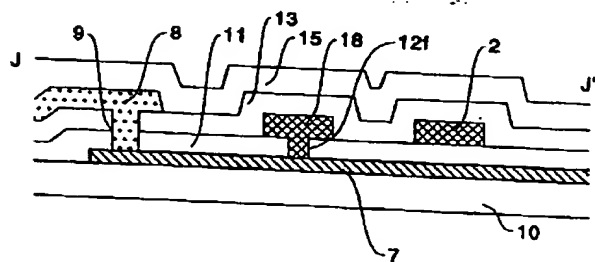
【図8】



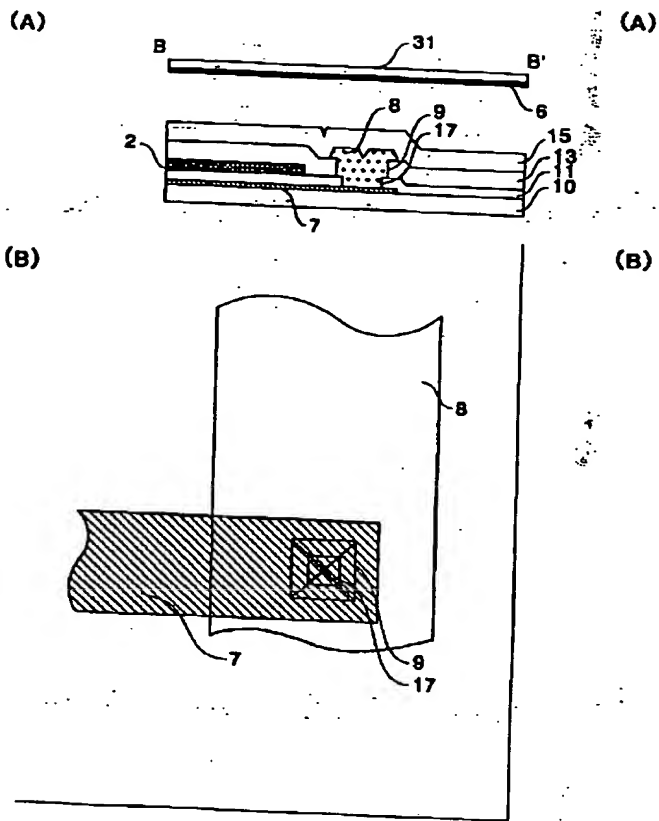
【図12】



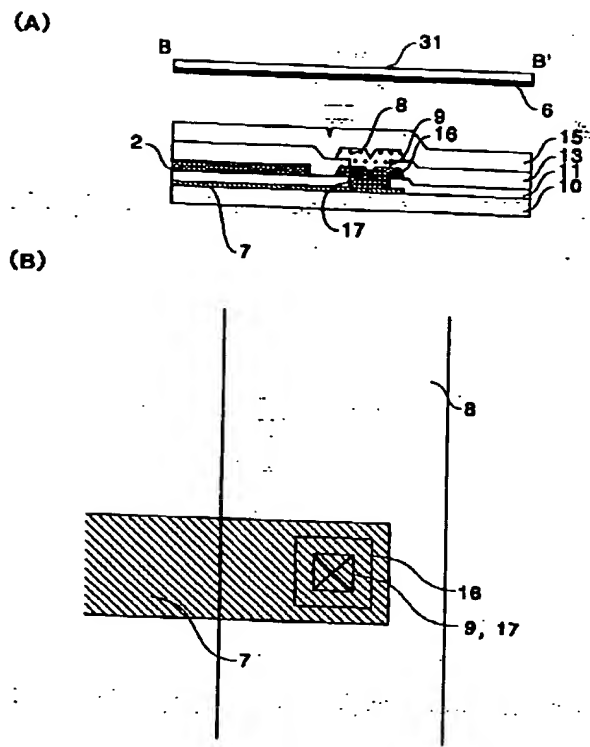
【図21】



【図9】

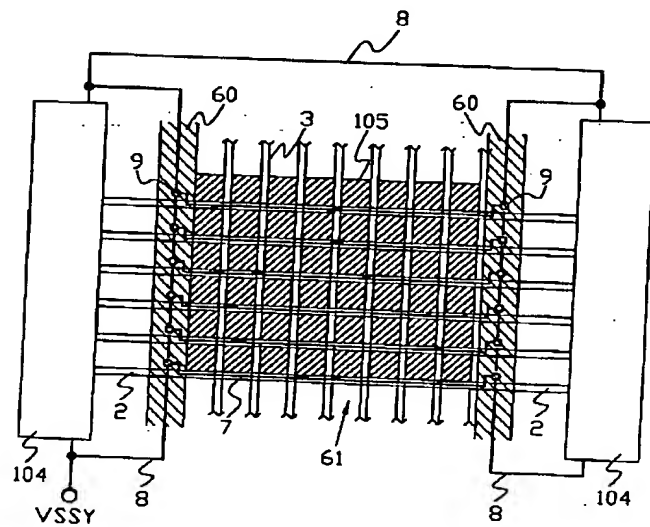
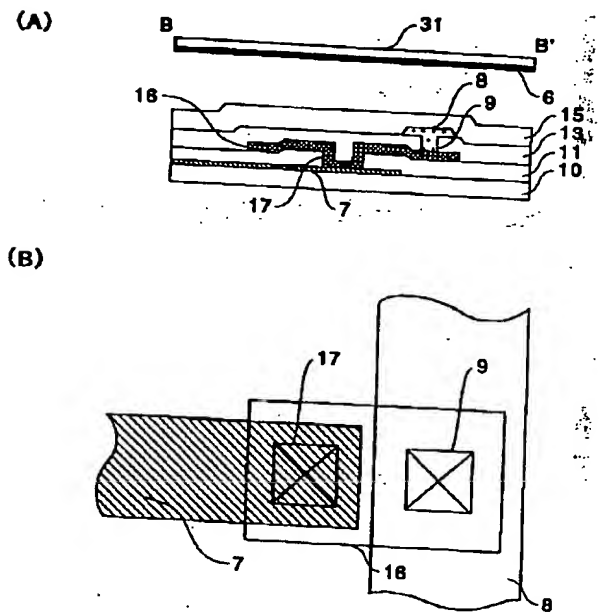


【図10】

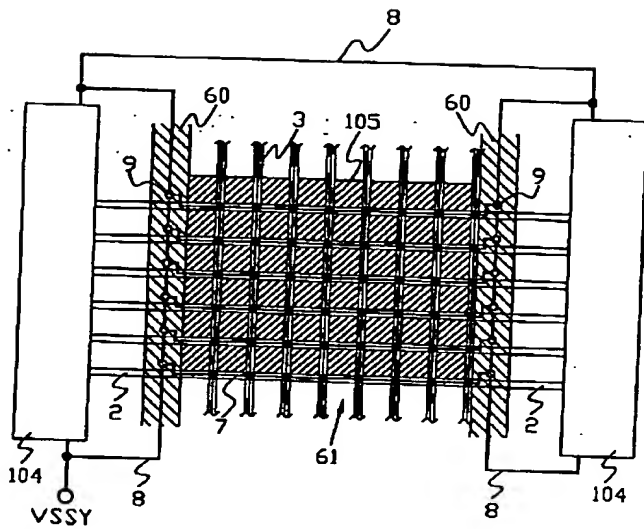


【図13】

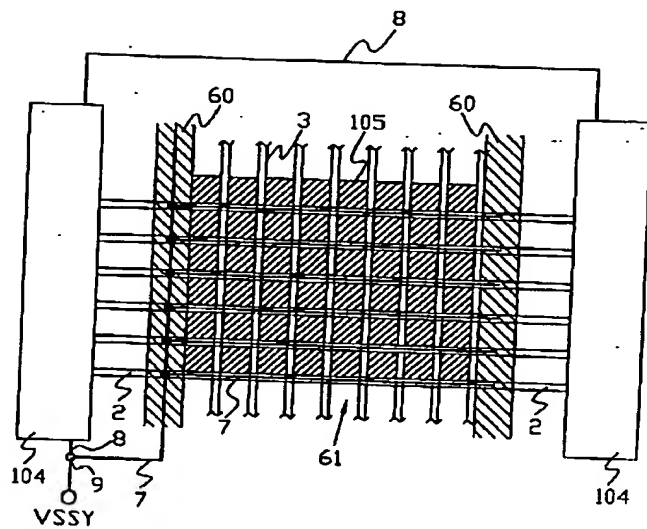
【図11】



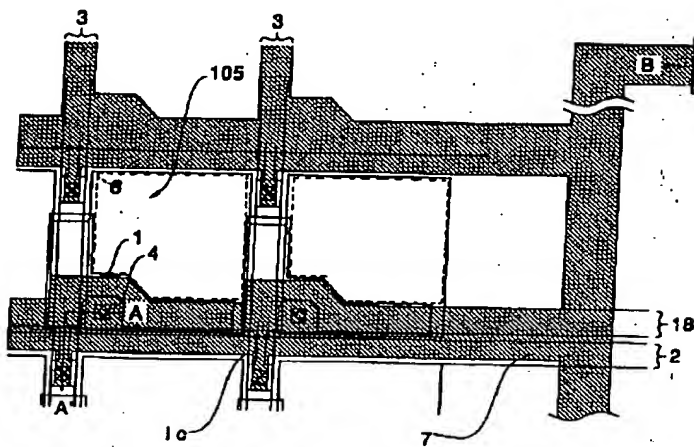
【例 14】



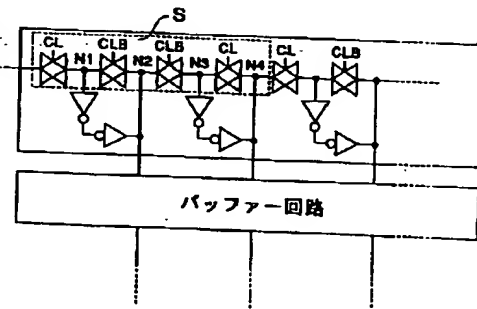
【☒ 1 6】



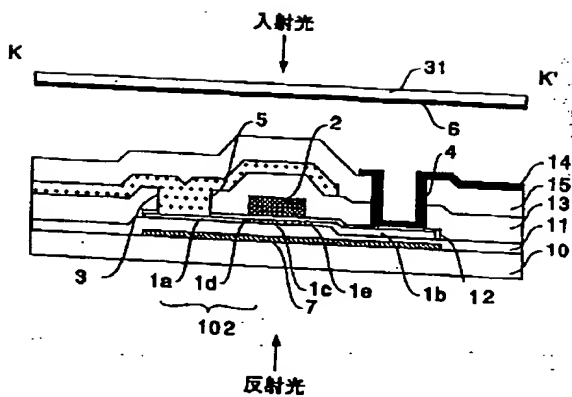
【図 15】



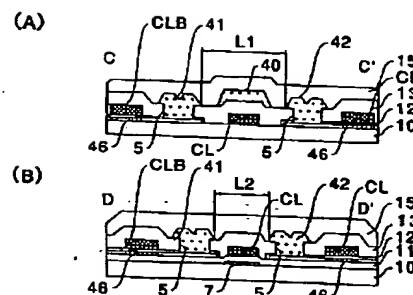
【図 3 1】



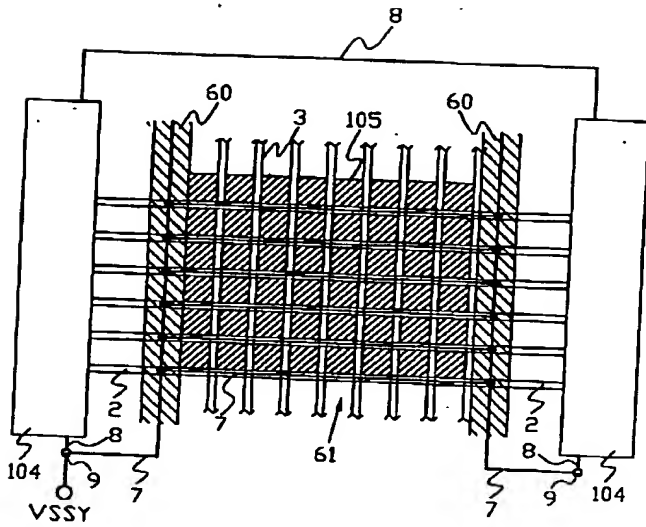
【图 2 3】



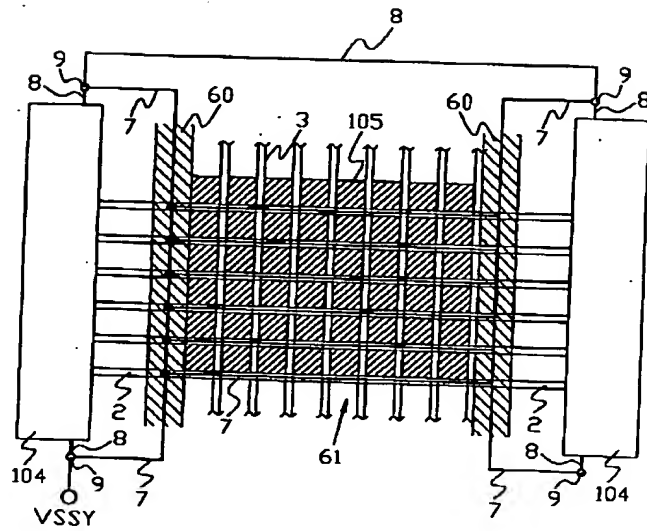
【图 3 3】



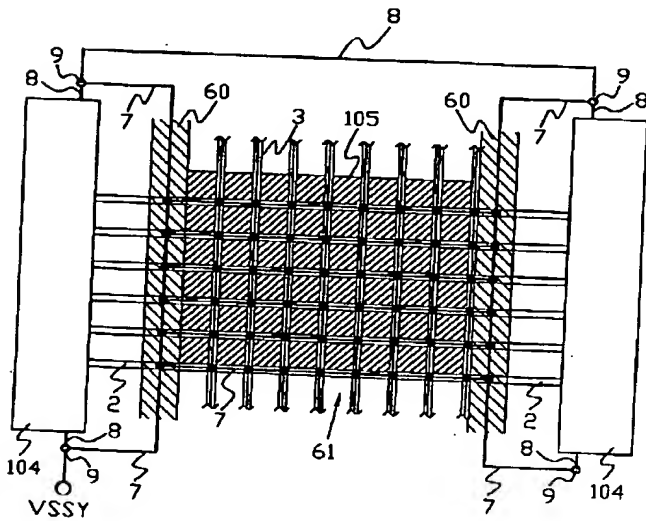
【図17】



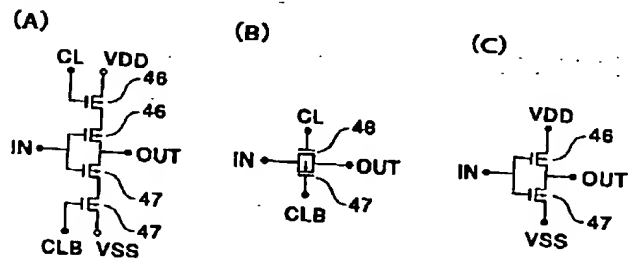
【図18】



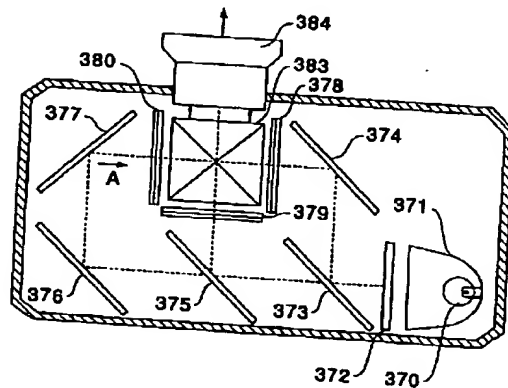
【図19】



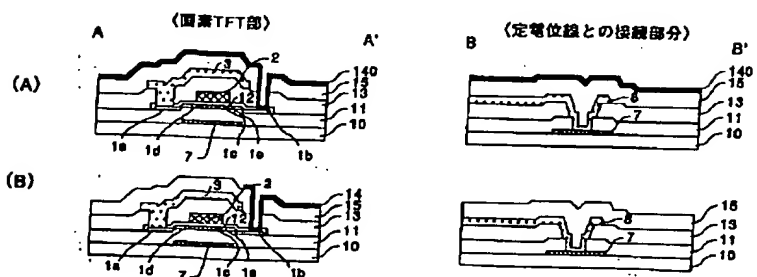
【図34】



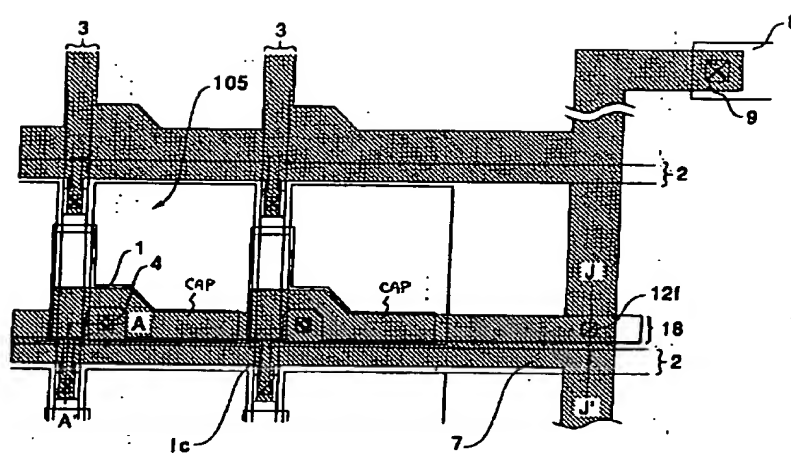
【図38】



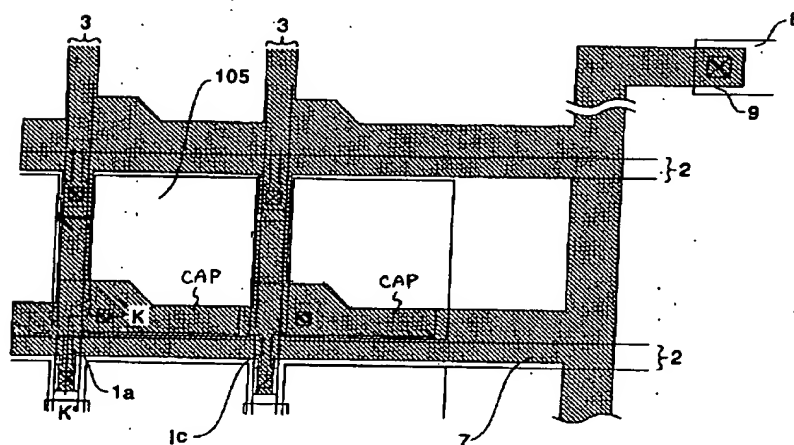
【図27】



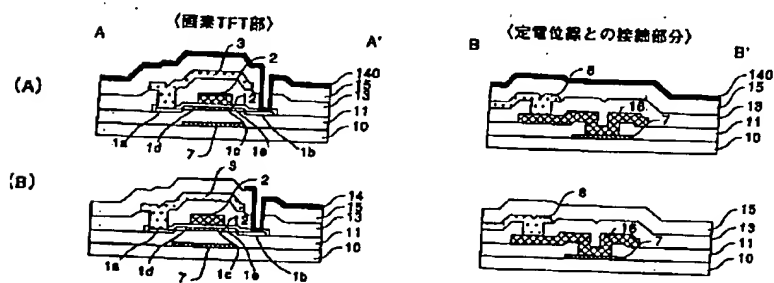
【図 20】



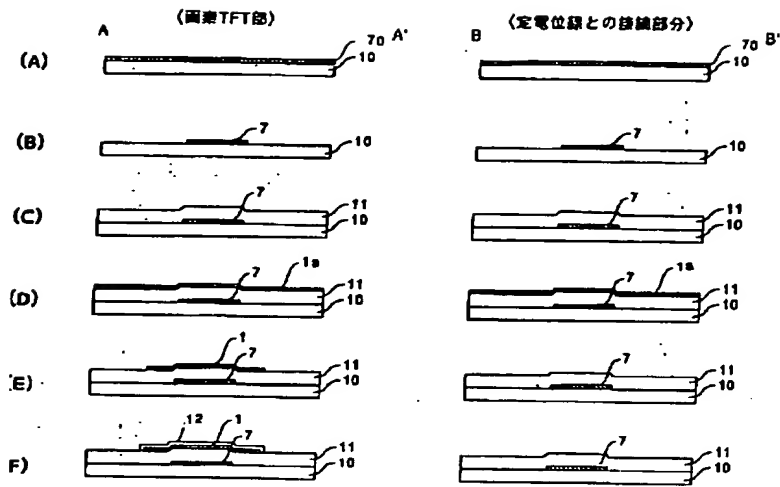
【图 22】



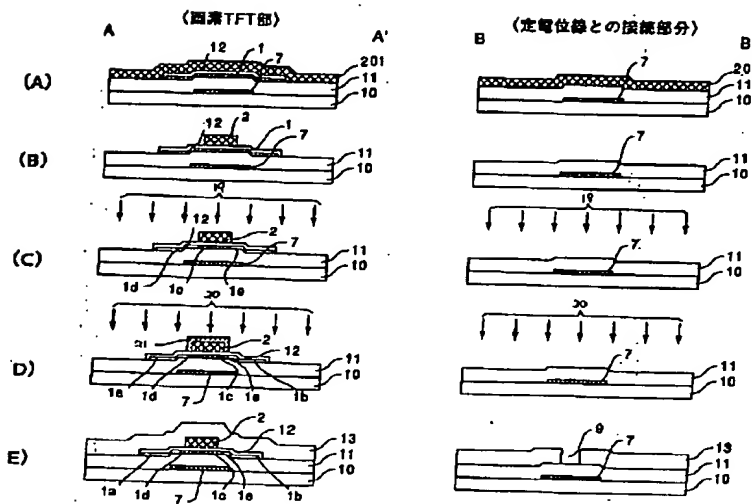
【图 30】



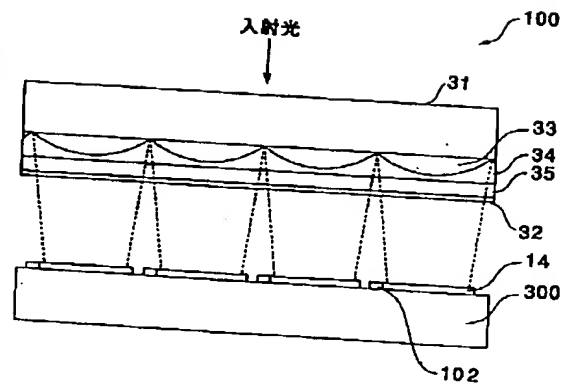
【図24】



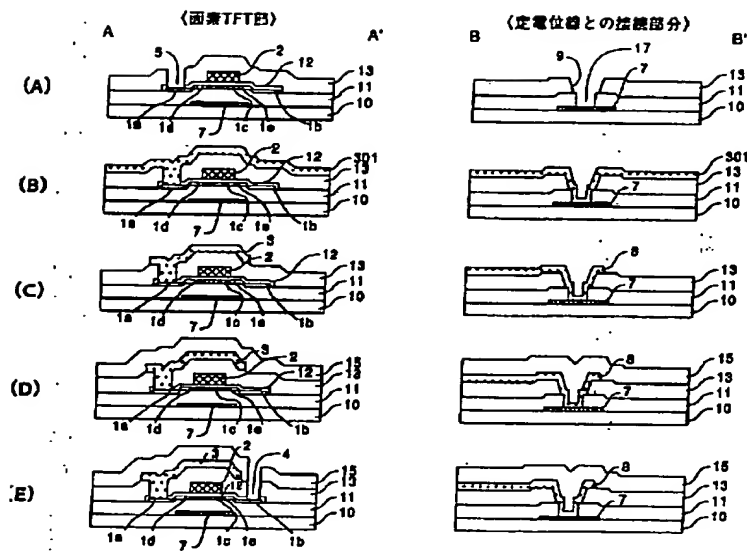
【図25】



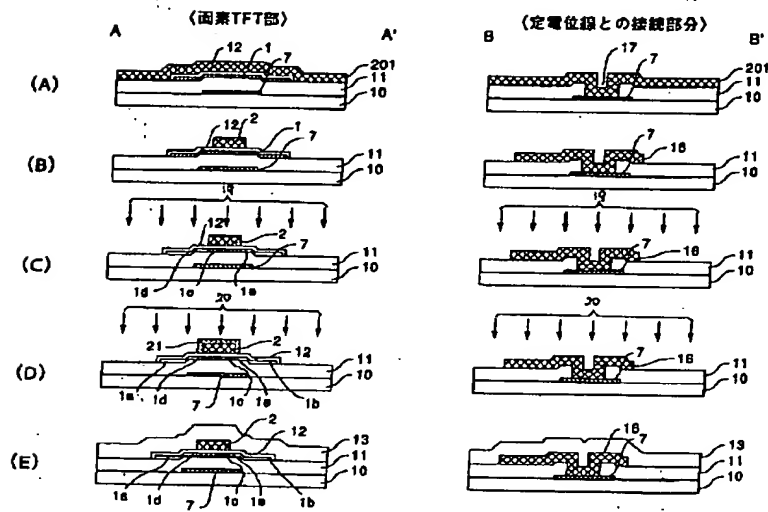
【図39】



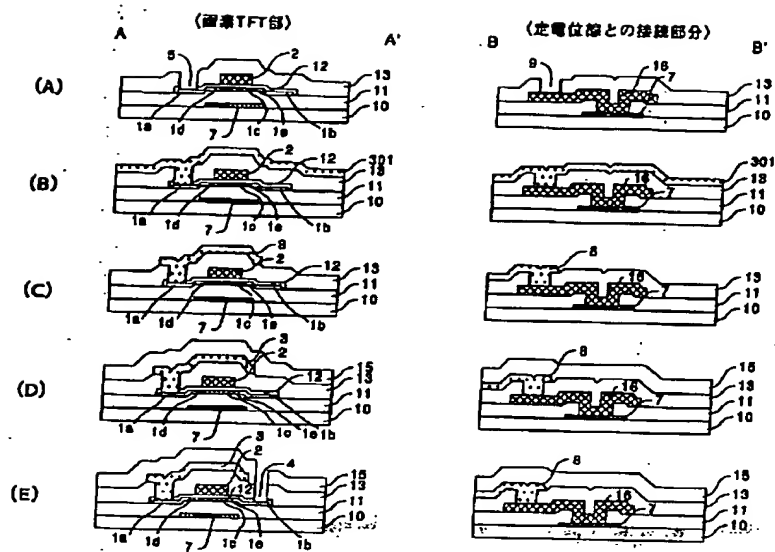
【図26】



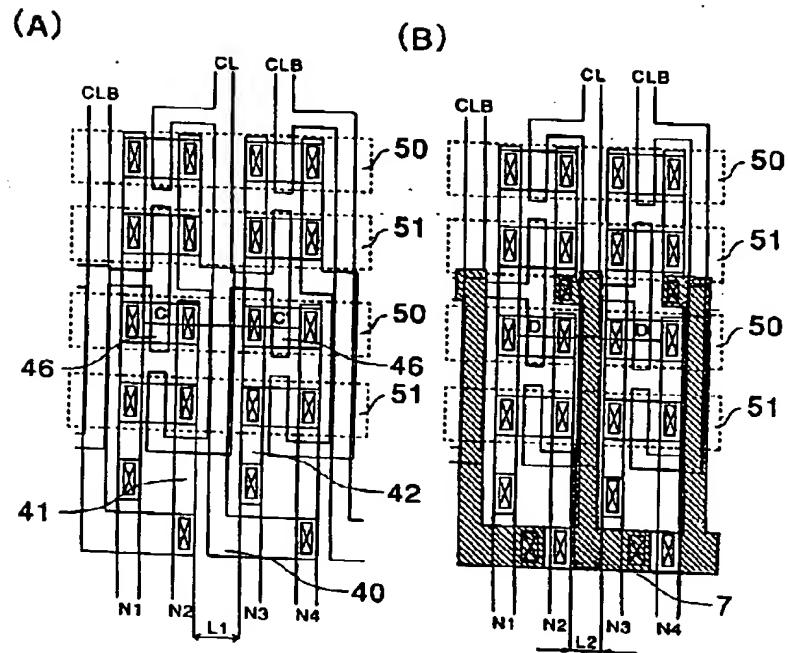
【図28】



【図29】

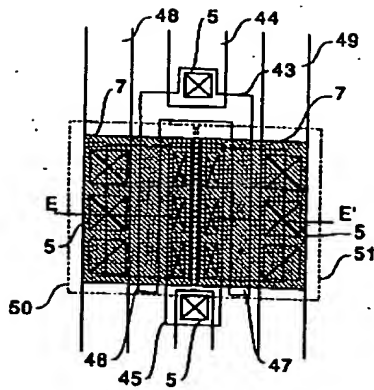


【図32】

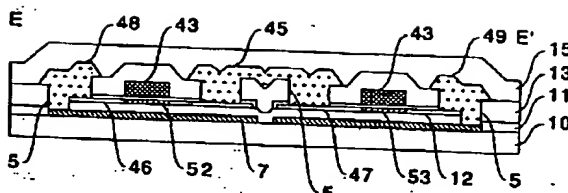


【図35】

(A)

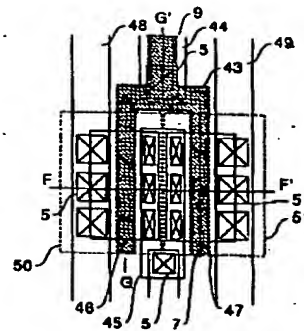


(B)

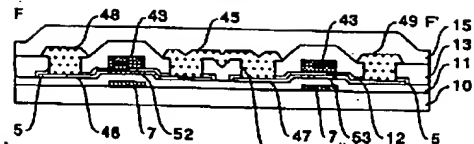


【図36】

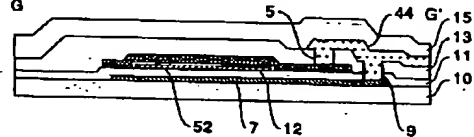
(A)



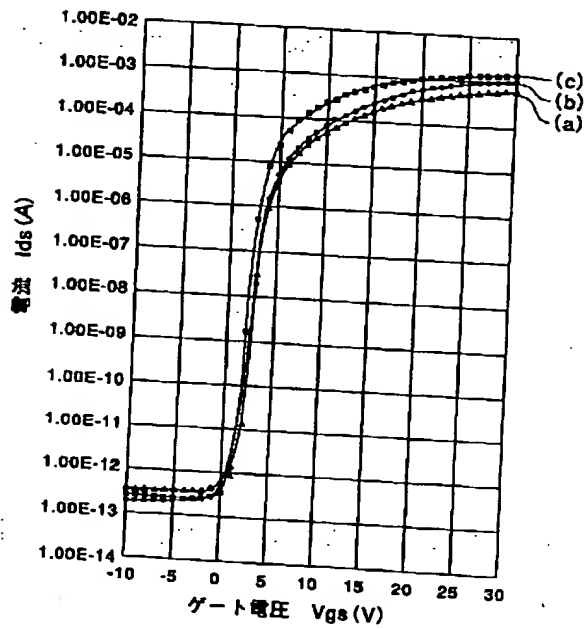
(B)



(C)



【図37】



フロントページの続き

(51) Int. Cl.⁶

識別記号

F I

H O 1 L 29/786

H O 1 L 29/78

6 1 2 B

6 1 9 B

This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images
problems checked, please do not report the
problems to the IFW Image Problem Mailbox**